

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-023971

(43)Date of publication of application : 07.02.1984

(51)Int.Cl.

H04N 5/06
H04N 5/48

(21)Application number : 57-132274

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.07.1982

(72)Inventor : KUDO YUKINORI
SUZUKI SUSUMU

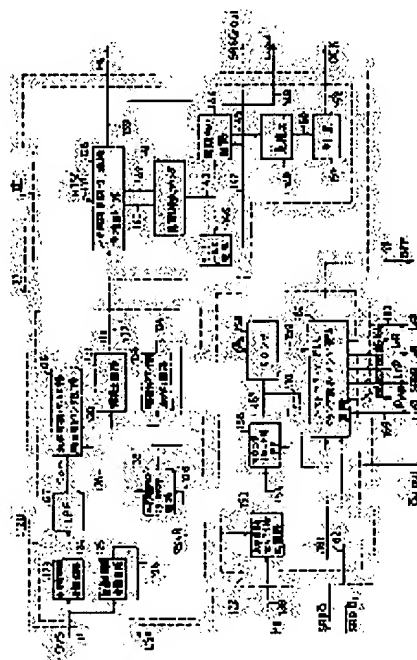
(54) DIGITAL TELEVISION RECEIVER

(57)Abstract:

PURPOSE: To improve the time accuracy of a horizontal synchronizing reproduction signal and to realize a stable horizontal reproduction, by finding an average horizontal period value and corrective value of horizontal synchronizing signals detected from digital video signals and obtaining the horizontal synchronizing reproduction signal.

CONSTITUTION: A digital video signal 11 becomes a composite synchronizing signal after a synchronizing separation signal is separated at a separating circuit 123 for horizontal synchronism and a chromatic frequency component is removed by an LPF 127. When the counted value of a counter circuit 129 for detecting horizontal synchronizing pulse width reaches a

prescribed value, the 1st horizontal synchronism detect signal (Hs') is outputted from a width detecting circuit 131. A period detecting counter 141 is a 11-bit counter which counts the sampling clock, and the counted value of the counter circuit 129 is transferred to a period memory 144 by the output of a horizontal synchronism periodicity/continuity circuit 138 in accordance with the signal from a latch pulse generating circuit 146 and the difference between the counted value and that of the last time is detected and a discrimination signal 152 is outputted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭59--23971

⑫ Int. Cl.³
H 04 N 5/06
S/48

識別記号

庁内整理番号
7735-5C
7170-5C

⑬ 公開 昭和59年(1984)2月7日

発明の数 1
審査請求 未請求

(全 30 頁)

⑭ デジタルテレビジョン受像機

⑮ 発明者 鈴木進

川崎市幸区小向東芝町1番地東
京芝浦電気株式会社総合研究所
内

⑯ 特 願 昭57--132274

⑰ 出 願 昭57(1982)7月30日

⑱ 発明者 工藤幸則

川崎市幸区小向東芝町1番地東
京芝浦電気株式会社総合研究所
内

⑲ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑳ 代理人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

デジタルテレビジョン受像機

2. 特許請求の範囲

(1) ビデオ信号をデジタル化した後、信号処理を行うデジタルテレビジョン受像機において、デジタルビデオ信号から水平同期信号を検出する手段と、この手段により得られる水平同期信号の連続した複数周期分の水平同期値を所定の基準クロック周期精度のデジタル値として記憶する第1の水平同期メモリ回路と、このメモリ回路内の各周期値の差が所定値以内にあるかを判定する判定回路と、この判定回路の出力により制御され前記第1の水平同期メモリ回路からの複数周期分の水平同期値を平均化した水平同期値と、これに対する補正値とを出力する第2の水平同期メモリ回路と、前記水平同期検出信号と水平フラインバック信号との位相を比較検出する水平位相検出回路と、この水平位相検出回路の出力と前記第2の水平同期メモリ回路

からの平均化された水平同期値とに基づき前記基準クロック周期の精度の第1の水平同期再生信号を再生するとともに、この第1の水平同期再生信号を前記第2の水平同期メモリ回路からの補正値に従って前記基準クロック周期以下の精度で補正した第2の水平同期再生信号を水平ドライバ信号として出力する水平同期可生回路とを備えたことを特徴とするデジタルテレビジョン受像機。

(2) 水平同期信号を検出する手段は、デジタルビデオ信号から複合同期信号を分離する手段と、この複合同期信号の各パルスの前縁でカウンタを開始しカウンタ値が所定値に達する毎に第1の水平同期検出信号を発生する手段と、この第1の水平同期検出信号のうち所定の周期で連続して発生される信号を第2の水平同期検出信号として選択して出力する手段とを含むものであることを特徴とする特許請求の範囲第1項記載のデジタルテレビジョン受像機。

(3) 前記基準クロックはビデオ信号をデジタ

ル化する際のサンプリングクロックと同一クロックであることを特徴とする特許請求の範囲第1項記載のデジタルテレビジョン受像機。

(4) 水平同期再生回路は、第1の水平同期再生信号を入力とするタップ付遅延回路と、この遅延回路の1つのタップ出力を第2の水平同期メモリ回路からの補正値に従って第2の水平同期再生信号として選択するゲート回路とを含むものであることを特徴とする特許請求の範囲第1項記載のデジタルテレビジョン受像機。

3.発明の詳細な説明

(発明の技術分野)

本発明は、ベースバンドのビデオ信号処理をデジタル的に行うデジタルテレビジョン受像機に係り、特に安定かつ高精度な水平同期再生を可能としたデジタルテレビジョン受像機に関する。

(発明の技術的背景とその問題点)

従来、テレビジョン受像機での信号処理は全てアナログ信号処理により行われているが、特

特開昭59-23971(2)

にビデオ段以降のアナログ信号処理については以下のような改善すべき問題点があった。即ち、性能的にはアナログ信号処理の一般的な弱点とされている時間軸上の処理性能に起因する問題であり、具体的にはクロスカラー・ドット妨害として画面に現れる輝度信号・色度信号分離性能、各種歪み改善性能、同期性能等である。一方、コスト面および製作上の問題としては、回路をIC化しても外付け部品、調整箇所が多いということである。

このような問題を解決するため、ビデオ段以降の色信号復調に到る信号処理を全デジタル化することが検討されている。このようないわゆるデジタルテレビジョン受像機においては、水平同期再生をいかに安定に、かつ精度よく行うかが一つの大きな課題となっている。

(発明の目的)

本発明の目的は、高安定、高精度な水平同期再生が可能で高品位な画像が得られるデジタルテレビジョン受像機を提供することである。

(発明の概要)

本発明は、デジタルビデオ信号から水平同期信号を検出し、その検出信号の平均的な水平同期値とこれに対する補正値とを求め、平均的な水平同期値と水平同期検出回路からの信号に基づいて所定基準クロックの周期で定まる精度の第1の水平同期再生信号を生成し、さらにこれを上記補正値に従ってより高精度に補正することによって、水平ドライブ信号となる第2の水平同期再生信号を得るようとしたものである。

即ち、本発明はデジタルビデオ信号から水平同期信号を検出する手段と、この手段により得られる水平同期信号の連続した複数周期分の水平同期値を所定の基準クロック同期の精度のデジタル値として記憶する第1の水平同期メモリ回路と、このメモリ回路内の各同期値の差が所定値以内にあるかを判定する判定回路と、この判定回路の出力により制御され前記第1の水平同期メモリ回路からの複数周期分の水平同期値を平均化した水平同期値とこれに対する補

正値とを出力する第2の水平同期メモリ回路と、前記水平同期検出信号と水平ドライブ信号との位相を比較検出する水平位相検出回路と、この水平位相検出回路の出力と前記第2の水平同期メモリ回路からの平均化された水平同期値とに基づき前記基準クロック同期の精度の第1の水平同期再生信号を再生するとともに、この第1の水平同期再生信号を前記第2の水平同期メモリ回路からの補正値に従って前記基準クロック周期以下の精度で補正した第2の水平同期再生信号を水平ドライブ信号として出力する水平同期再生回路とを備えたことを特徴としている。

(発明の効果)

本発明によれば、水平同期検出信号の周期の平均的な値に基づいて水平同期再生が行われるため、安定な水平同期再生が可能である。

また、デジタル信号処理の場合、通常は基準クロック(ビデオ信号をデジタル化する際に用いるサンプリングクロックと同一クロック)の同期で水平同期再生信号の時間精度が決ってし

まうが、本発明によればこれを基準クロック周波数以下の周波数にまで上げることが可能である。従って、基準クロック周波数と水平周波数とが整数倍の関係にならないようなビデオ信号入力に対しても、いわゆるギヤ成分のない高品位な画像を得ることができる。

〔発明の実施例〕

図1図に本発明の一実施例に係るデジタルTV受信機の要部のブロック図を示す。

図に於いて、交差的に結合されているアナログビデオ信号1は、バッファ回路2に入力される。バッファ回路2の出力3は、帯域制限のためのローパスフィルタ(LPF)4に導かれる。LPF4のカットオフ周波数は本システムをNTSC、PALで共用するため3.5 MHzになっている。帯域制限されたビデオ信号出力7は、バッファアンプ回路8に導かれる。バッファアンプ回路8はアナログビデオ信号1が1 V_{p-p}で入力された時に、後段のA/Dコンバータ(ADC)10の入力信号9がほぼ2 V_{p-p}となるように調整され

を検出し、メダスタルレベルが所定の値になるような制御信号20を出力する。クランプ回路19の出力20はD/Aコンバータ(DAC)21に導かれ、アナログ信号に変換される。DAC21の出力22は抵抗を経てバッファアンプ回路9の入力にクランプ用電圧として重畳され、そのDCレベルを制御する。

タイミング信号31はPLL(Phase Locked Loop)制御回路23に必要なタイミング信号である。PLL制御回路23はサンプリングクロック(ϕ_s)12の周波数及び位相を制御するための回路である。即ち、ADC10～同期検出・タイミング発生回路27～PLL制御回路23～DAC21～VCXO13～ADC10のループでPLL回路を形成している。本実施例では基本的にNTSC入力の場合 ϕ_s 12の位相の1つが1軌に一致するように、PAL入力の場合、U軌に一致するようにPLLがかかるようになっている。NTSC、PAL入力の切換情報は信号15(以下NTSC/PAL切換信号という)より得られる。PLL制

特開昭59-23971(3)

ている。ADC10は入力信号9をサンプリングクロック(ϕ_s)12でサンプリングし、例えば8ビットに量子化して出力する。サンプリングクロック(ϕ_s)12の周波数 f_s は

$$f_s = 4f_{sc} \quad (f_{sc}: \text{カラーサブキャリア周波数})$$

である。

ϕ_s 12はデジタル回路部61に導かれる。

ϕ_s 12に同期した8ビットのデジタル化されたビデオ信号11(以下DVS信号という)も又同様にデジタル回路部61に導かれる。デジタル回路部61内のブロックは全てデジタル回路で構成されている。DVS信号11は同期検出・タイミング発生回路27に導かれる。同期検出・タイミング発生回路27はDVS信号11から同期パルスを検出し、その同期パルス検出信号に従って各極のタイミング信号28, 29, 30, 31, 32を発生する。

メダスタルクランプ回路19はビデオ信号1の復調再生のための回路であり、タイミング信号32によりDVS信号11のメダスタルレベル

制御回路23の制御信号出力21はDAC21に導かれ、アナログ信号14に変換される。このアナログ制御信号14は電圧制御型水晶発振器(VCXO)13に導かれ、これによりVCXO13の出力にサンプリングクロック ϕ_s 12を得る。VCXO13の水晶発振子はNTSC/PAL切換信号15によって切換えられ、所定の ϕ_s が得られるようになっている。なお、本実施例のPLL制御システムの原型的な実施例については米特許第4,291,332号明細書に述べられている。

図1図でコントロールデータ17はデジタルTV受信機のコントロールを行うデジタルデータであり、例えばリモコン受信回路(図示せず)から得られる。コントロールデータ17はデコード17によりデコードされ、各部のコントロールを行う。このデコードされたコントロール信号は、色飽和度およびコントラスト・ブライトコントロール信号18と色相コントロール信号19とからなっている。色相コントロール信号19はPLL制御回路23を介してサンプリン

特開昭59- 23971(4)

クロックφ₁₂の位相を変えることにより、色相をコントロールする。PLL制御回路23には又、水平フライバック信号(以下f_{FB}信号と呼ぶ)18が入力されており、PAL入力時の周知のパルスイサント(PAL Ident)信号(以下PID信号と呼ぶ)25を発生する。

同期検出・タイミング発生回路27のタイミング信号出力29は、水平カウンタダウン回路32に導かれる。水平カウンタダウン回路32はf_{FB}信号18を用いてタイミング信号29から水平同期再生を行い、水平ドライブ信号(f_{HD out})34を出力する。水平カウンタダウン回路32はまた、サンプリングクロック(φ₃)12と水平同期信号との関係を設定し、NTSC信号入力の場合φ₃≒910f_H(f_H:水平周波数)423、PALの場合φ₃≒1135f_Hのとき水平同期標準モード(HMOD)信号38を出力する。同期検出・タイミング発生回路27のタイミング出力30及び水平カウンタダウン回路32の出力32は、垂直同期再生を行う垂直カウンタダウン

回路33の出力33は、垂直同期再生を行う垂直カウンタダウン回路36に導かれている。垂直カウンタダウン回路36は再生された垂直同期信号(f_{VD out})37を出力する。

f_{VD out}信号37はドライバ回路(βドライバ)50で増幅された後、信号線51を経て水平偏向系(図示せず)に導かれる。

一方、f_{VD out}信号37は垂直ランプ発生、及び垂直ハイト制御回路を含むVランプハイト回路52に導かれ、その出力53は垂直偏同系(省略)に導かれる。

DVB信号11はまた輝度信号(Y)と色度信号(C)とを分離するY-C分離回路38に導かれる。Y-C分離回路38は垂直相関を利用してY-C分離を行う分離回路(コフィルタとして周知である)と、垂直相関を用いずに水平方向サンプル間を用い、水平相関のみによりフィルタを構成した分離回路(バンドパスフィルタとして周知である)とを有し、HMOD信号38により分離回路が選択される。即ちHMOD="1"の時

コフィルタでY-C分離を行い、HMOD="0"の時はバンドパスフィルタを用いてY-C分離を行うように構成されている。Y-C分離回路38にはNTSC/PAL切換信号が導かれており、この切換信号に従って1水平遅延装置が切換えられるごとくなされている。この遅延装置はNTSCで910ビット遅延、PALでは1135ビット遅延である(1Hダイレイラインとして周知である)。

分離された色信号(C信号)39と、色調整の基準位相を与えるパルス(φ₀)26とPID信号25、コントロール信号40、バーストフラグパルスBFP28は色プロセス回路41に導かれる。色プロセス回路41は自動色飽和度コントロール(ACC)回路、カラーキナー回路、およびφ₀26を基準パルスにして2相の同期検出により色信号(NTSCでI、Q信号、PALでR、V信号)を復調する色復調回路とから構成されている。色プロセス回路41に入力されたコントロール信号40はACC回路を制御し、色飽和度、つまり色の濃さを制御する。色プロセス回路41

の出力42としては、復調出力I/U、Q/Vが得られる。

Y-C分離回路38で分離された輝度信号(Y信号)40はYプロセス回路43に導かれる。Yプロセス回路43の他方の入力にはコントロールデータ信号48であり、この信号によってブライト、コントラストが制御される。このYプロセス回路43はブライト、コントラスト制御回路と水平、垂直の輪郭補正信号を得る回路とより構成され、補正あるいは補正されたY信号44を出力する。

色復調信号42とY信号44はRGBマトリックス回路45に導かれ、所定のマトリックス構成により3原色R、G、Bの信号46となる。このR、G、Bの信号46はDAC54によりアナログ信号にもどされる。DAC54はR、G、B用の8ビットのDAC3個から構成されており、その出力55はバッファアンプ56に導かれる。バッファアンプ56は入力信号を増幅しR、G、Bの出力57、58、59を色出力回路(図示せず)

へ導く。色出力回路は CRT 60 に接続されている。

次に、第 1 図の各部の具体的な構成を詳細に説明する。

まず、第 2 図は以下の詳細な説明に備え、表 1 の説明を行うための図である。なお以下の説明においては正論理を使用することにする。

第 2 図(a)は加算器を示している。N ビットからなる A 入力 70 と M ビットからなる B 入力 71 に対し、A + B 出力 72 は L ビットになることを示している。C0 72 は最低位ビットに加わるキャリー入力を示している。(a)に示したように最低位ビットから成る信号は N0, M0, L0 という様に表記することにする。

同図(b)は減算器を示している。A 入力 76, B 入力 77 は加算器 78 で加算され、A - B 出力 79 となる。図示したように加算器 78 の入力のうち減算する入力に対して、- の符号を付することにする。

同図(c)は N ビットのラッチ回路を示している。

と表記する。

同図(d)はクロック同期型のプリセットブルカウンタを示している。即ち 96 はプリセットデータ入力を示し、95 はプリセットタイミング信号入力を示す。同図(e)は、NAND 型のセットリセット(RS)フリップフロップを示し、 \bar{S} 端子入力 99 が "0" の時 Q 出力 101 は "1" となる。

同図(f)はデータセレクタを示し、A 入力 104, B 入力 105 を選択信号 102 に従って 108 として出力する。出力 108 の論理は $S \cdot A + \bar{S} \cdot B$ となる。即ち、 $S = "1"$ の時出力 108 には A 入力 104 の情報が出力され、 $S = "0"$ の時出力 108 には B 入力 105 の情報が出力される。

なお、以下の説明において複数段のカウンタのカウント状態を入力クロック単位で表現する場合に、カウンタ出力を上位ビットから $Q_{N-1}, Q_{N-1}, \dots, Q_2, Q_1, Q_0$ とした時、"000...000" を零とし、"000...001" を 1,

4500259-23971(5)

入力 80 はラッチ 83 に導かれクロック 78 の立ち上がりタイミングでラッチされ、出力 81 となる。同図(g)は 2 はリセット端子 R への入力を示し、信号 82 が "1" の時ラッチ出力 81 はオール "0" となる。また、同図(h)はプリセット端子 Pr への入力を示し、この信号 81 が "1" の時、出力 81 はオール "1" となる。

同図(i)はシフトレジスタを示している。信号 86 は入力入力を示し、信号 86 はシフトクロック例、信号 88 は出力である。信号 87 はリセット端子 R の入力であり、これが "1" の時出力 88 はオール "0" となる。

同図(j)は同期型の M ビットカウンタを示す。入力クロックが 90 であり、クロック同期型リセット信号が 91 であり、出力が 92 である。同図 N がカウンタ番号を示し、 $J = 1 \sim M$ は M 段のカウント段であることを表わしている。なお、クロック 90 に対して非同同期型のリセット端子を有するカウンタについてはリセット端子を R^*

"000...010" を 2, "000...011" を 3 という様に表現することにする。

(同期検出・タイミング発生回路)

第 1 図において、ビデオスキャン用 DAC 21 の出力 23 が 0 V の時、バッファ 6 の出力 7 には DC クランプ電圧 0 V のアナログビデオ信号が付られる。今、DC クランプ電圧 0 V の時、アナログビデオ信号 1 として APL (Average Picture Level) の最も小さい信号が入力された場合、第 3 図に示したように ADC 10 のゲイナミックスレンジ 3-1, 3-2 に別して ADC 10 の入力が 3-2 のような波形となるよう第 1 図のバッファ 2, LPT 1, バッファ 6, バッファ 7 は調整されている。

第 3 図において、ビデオレベル (PDL) 3-4 を "0001111" の値にし、水平同期信号分離レベル (SDL) 3-8 を (PDL) 3-4 の約 1/2 レベル "00001111" に選ぶ。本発明の一実施例におけるビデオスキャンの制御ループにより、入力されたビデオ信号 1 のビデオレベルは

特開昭59- 23971(8)

(PDL) 3-4 の直にクランプされる。このクランプ回路については後述する。

第4図にADC 10のダイナミックレンジに関して、ペデスタルクランプ電圧0Vの信号1-1と正常なクランプがかかった信号1-3の様子を示す。第4図中、(SDLV) 4-3は垂直同期信号分離レベルを示しており、特にゴースト等の外乱に対し垂直同期再生を確実にするために、

(SDLV) 3-5より(PDL) 3-4に近く取ってくる。この例では(SDLV) 4-3は“0001111”とした。このようにしてペデスタルクランプのかかったデジタルビデオ信号CVS 11が同期検出・タイミング発生回路27に送られる。

第6図に同期検出・タイミング発生回路27の構成を示す。この回路27は大きく分けて、同期分離・水平同期パルス検出回路系120と、水平同期同期係・連続検出回路系121と、タイミング発生回路系122とからなる。

まず、入力されたDVS信号11は水平同期用、垂直同期用の同期信号をそれぞれ分離するため

の水平同期用分離回路123、垂直同期用分離回路125に送られ、同期分離信号124およびCVS信号126が分離される。同期分離信号124は高域成分、つまり色副載波成分を除去するLPF 127でフィルタリングされる。LPF 127の出力128は縦合同期信号(CSH)であり、水平同期パルス幅検出用カウンタ回路129に送られる。カウンタ回路129の出力130は幅検出回路131に輸入され、このカウント値が所定の値になると、つまり水平同期信号のパルス幅が所定の値になると第1の水平同期検出信号(H₁'信号)132が幅検出回路131より出力される。幅検出カウンタリセット回路133は、幅検出回路131よりH₁'信号132が出力されるとカウンタ回路129をCSH信号128を入力を一定期間受け付けないように制御し、ゴーストの大きい信号入力によるCSH信号128の割れ等による水平同期の誤動作を防ぐためのものである。CSH信号128及びカウンタ回路の出力133はCSH信号128

の立ち下りタイミングを制御する水平同期タイミング制御回路135に送られる。この水平同期タイミング制御回路135はH₁'信号132の出力タイミングから、一定期間内にCSH信号128が立ち下らない場合は、バーストフラッグパルスやPLL、クランプ用の各種タイミング信号を発生するタイミング発生回路系122を非動作状態とする信号RS4R 136を発生する。このように所定の条件を満たすCSH信号128が到来した時のみPLL、クランプ等の動作が行われるため、非常に安定した(外乱に強い)PLLおよびクランプ回路が構成できることになる。

水平同期同期係・連続検出回路系121は水平同期信号(実際はH₁'信号)の周期検および連続性を検出し、所定の周期と連続性を有したH₁'信号のみを第2の水平同期検出信号(H₂信号)137として得る。

周期検出カウンタ141はφ₀を基準クロックとしてカウントする11ビットのカウントで、そ

の11ビットの出力143は2周期分のカウント値を記憶可能な同期メモリ回路144に送られている。今、所定の周期性と連続性を有したH₁'信号137が水平同期同期係・連続検出回路121の出力に与られると、ラッチパルス発生回路146からSR6Q; out信号147が発生され、これによってカウンタ141の出力143が同期メモリ回路144に記憶される。連続検出回路148は同期メモリ回路144内の2周期分の値の差を検出し、判定回路151は差検出回路148の出力150からこの差が所定値以下のとき判定信号(DCK信号)152を出力する。

次にタイミング発生回路系122においては、水平同期立ち下り検出回路153でH₁信号139とRS4R信号136から水平同期信号の立ち下りタイミングを検出し、立ち下りを検出するとカウンタ158のカウント動作を開始するようカウンタリセット用フリップフロップ156を制御し、リセット信号157を発生させる。カ

カウンタ158は6段構成のもので、このカウンタ158の出力159と後述するPLL制御回路の出力SRQ、信号161、SRQ₂信号162とによりPLL、クランプ回路動作に必要な各種タイミング信号163~169およびバーストフラグパルス(BFP)28をバーストフラグ・PLL・クランプ用タイミング発生回路160より発生する。

第6図の同期検出・タイミング発生回路27について、さらに具体的に説明する。第7図に第6図中の同期分離・水平同期幅検出回路系120と水平同期同期検・連続性検出回路系121の具体的な回路図を示す。

第7図において、DVS信号11は水平同期分離回路123としての比較回路(Comp1)180にX₁入力として与えられて、X₂入力である水平同期分離レベル(SDLH)181と比較され、X₂ > X₁の出力が分離信号124として得られる。同時に垂直同期用分離回路125としての比較回路(Comp2)162より垂直同期分離

出力125はシフトレジスタ191に導かれ、ANDゲート192を通過して幅検出パルス(Ha')132が得られる。Ha'信号が得られるとRSフリップフロップ193がセットされ、そのQ出力195によりゲート198を通過してカウンタ187のリセット信号189が強制制"0"とされる。ORゲート196は水平同期タイミング制御出力を得るゲートで、カウンタ187のカウント値が"48"~"128"の間"1"を出力する。今、ゲート196の出力が"1"の期間にCSH信号が立ち下る(CSH信号128が立ち上る)と、NANDゲート197の出力136に第8図にRS4Rで示した波形が得られ、RS4R信号130の立ち下りがCSH信号の立ち下りのタイミングを与えることがわかる。NANDゲート194はカウンタ187のカウント値が"239"のときフリップフロップ151のQ出力193を反転させる。これによりHa'信号132が出力された後、"240"~"48"="192"(60単位)の間はカウンタ187がCSH信号入力を

特開昭59-23971(7)

断号(CSV)126が得られる。水平、垂直の各同期分離レベル(SDLH)181、(SDLV)183は第3図、第4図にて説明したように

SDLH="00001111", SDLV="00011111"であるから、各比較回路180,182は各々簡単なゲート1個で実現できる。比較回路180の出力124は、4段構成のシフトレジスタ184に導かれる。シフトレジスタ184のシフトクロックはφ₂である。このシフトレジスタ184の各ビットの出力は4入力NANDゲート185に与えられ、出力128としてCSH(CSHの反転)が得られる。シフトレジスタ184およびゲート185はLPP187を導出し、f_{sc}周期以下の成分、つまり色副搬送成分を除去する。

一方、カウンタ回路189、幅検出回路131、ゲート回路133、水平同期タイミング制御回路134においては、第8図にタイムチャートを示したようにCSH="1"となるとカウンタ187がカウントを始め、このカウンタ187の"48"カウント出力(ANDゲート190の

受け付けないよう動作する。ANDゲート132-2はQ19、RS4Q(後述する)の論理出力を132-1として出力する。

Ha'信号132は水平同期周期性・連続性検出回路系122に与えられる。この検出回路系121の説明の前に本実施例のデジタルTV受像機のNTSC、PALの各々の出力変換時にかける水平周波数の対応範囲、及び同期検出カウンタ141の動作について述べる。

放送波で定規されるNTSC信号は4f_{sc}=910f_H(f_H:水平周波数、f_{sc}:カラーサブキャリア周波で4f_{sc}=14.3MHz)である。

一方、4f_{sc}≒910f_Hのような信号も、一部のカラーバースト発生器、ビデオゲーム等に存在している。すなわち、カラーサブキャリア周波数f_{sc}と水平周波数f_Hとの間に何の関係もない信号が存在する。今、実用上問題のないよう水平周波数の対応範囲をf_H=15.73±0.5KHzとすると、この範囲に相当する1水平期間内にカウンタ187でサンプルクロックφ₂(=1/2f_{sc})

が“880”～“944”カウントされ得ることになる。

PAL の場合は、 $4f_{sc} \approx 1135f_H$ ($4f_{sc} \approx 17.73$ MHz) であり、同様に $f_H = 5.025 \text{ KHz} \pm 0.5 \text{ KHz}$ とすると、1 水平同期間にカウント可能な ϕ_0 の数は、“1099”～“1173”ということになる。水平同期信号の周期を検出は上述の水平周波数対応範囲をカバーしなければならない。このため同期性を検出する第 7 図の同期検出カウンタ 141 (212) は、 ϕ_0 を基準として 1 水平期間カウント可能なカウンタであり、11 段階構成となる。カウンタ 213 は $H_{a'}$ 信号 132 の到来時、NTSC で“144”カウントに、PAL で“64”カウントにプリセットされることにより、同期性検出のタイミングが容易に取れるようになり、同時にこのようなプリセットにより繰返すように第 1 図の水平カウンタダウン回路 32 の回路構成も簡単化することができる。

第 9 図に $H_{a'}$ 信号 132 と水平同期対応範囲を示すゲート信号 (HMaOR) 及びカウンタ 213

第 10 図で示したように水平同期検出信号 H_0 は、外乱に強い高周波な信号として得られることが理解されよう。

第 7 図に於いて、OR ゲート 207 の出力として HMaOR 信号が得られ、AND ゲート 208 の出力として H_0 信号 139 が得られる。 $H_{a'}$ 信号 132 の反転でリセットされ、NOR ゲート 211 の出力でセットされる R3 フリップフロップ 212 の Q 出力が $H_{a'}$ 信号欠落時の制御信号 (第 10 図の R83Q) を与える。カウンタ 213 のプリセット信号は OR ゲート 204 の出力 203 として得られる。NTSC 信号に制御されるプリセットデータ発生回路 201 は、上記したように NTSC 信号受信時に“144”カウントに相当するデジタル値“00010010000”を発生し、PAL 信号受信時に“64”カウントに相当するデジタル値“00001000000”をそれぞれ発生する。

H_0 信号 139 はシフトレジスタ 215 に導かれる。このシフトレジスタ 215 の Q₁ 出力

特開 59-23974(B)

のカウント値の關係を示す。図のように所定周期で、かつ連続的に得られる $H_{a'}$ 信号 132 のみが水平同期検出信号 H_0 として $H_0 = H_{a'} \cdot HMaOR$ で示す論理型で得られる。SR6Q₁ はこの H_0 信号 139 と ϕ_0 をシフトクロックとして蓄積するシフトレジスタ 215 の出力を示す。第 9 図中 9-1、9-2 はカウンタ 213 の NTSC、PAL の各信号受信時におけるカウント状態を示す。

第 10 図に $H_{a'}$ 信号 132 の周期・連続性を検出するタイムチャートを示す。HMaOR 信号は NTSC 信号受信時 10-1 で示すようにカウンタ 213 の“1024”カウントで立ち上がり、 $H_{a'}$ 信号の立ち下りに同期して立ち下る。また、10-3 で示すように $H_{a'}$ 信号が欠落すると、HMaOR 信号は“1088”カウントで立ち下り、カウンタ 213 は“144”カウントにプリセットされたまま、次の $H_{a'}$ 信号の到来を待つ。10-4 で示すように再び $H_{a'}$ 信号が得られると、10-5 で示す $H_{a'}$ 信号から H_0 信号が得られる。PAL 信号受信時も基本的動作は同じである。

147 はカウンタ 212 の 11 ビット出力 214 をラッチ 216 にラッチするタイミングを与える。ラッチ 216 の出力 148 はラッチ 217 に与えられる。これら 2 段のラッチ 216、217 は第 1 の水平同期メモリ回路 144 を構成しており、カウンタ 213 からの 2 周期分のデータを記憶している。ラッチ 216、217 の他の差を演出するのが差検出回路 145 としての減算器 219 であり、差出力 220 を判定回路 151 に出力する。

判定回路 151 においては、差出力 220 の 11 ビットのデータのうち上位 9 ビットを NAND ゲート 221 と AND ゲート 222 に入力し、ゲート 221、222 の出力を OR ゲート 223 に入力して、出力として DCK 信号 162 を得る。即ち、ラッチ 216 の出力 149 とラッチ 217 の出力 218 の差が ±3 以内であれば DCK 信号 162 は“1”となる。 H_0 信号 139、ラッチ 216 の出力 149、DCK 信号 162、シフトレジスタ 215 の出力 147 は第 1 図の水平カ

ラントダウン回路 3.2 に導かれる。

第 1.1 図にバーストフラッグ・PLL・ランプ用タイミング発生回路系 1.2.2 のより具体的な構成を示す。H₀ 信号 1.3.9 の反転信号 2.3.8 は RS フリップフロップ 2.3.4 をセットし、RS₁R 信号 1.3.6 はこのフリップフロップ 2.3.4 をリセットする。フリップフロップ 2.3.4 の Q 出力 2.3.5 は水平同期信号の立ち下り（緑線）に同期して立ち上る信号であり、シフトレジスタ 2.3.6 に導かれる。シフトレジスタ 2.3.6 の Q₁ 出力 1.5.4 は 1 段構成のカウンタ（フリップフロップ）2.2.7 に導かれる。今、シフトレジスタの Q₁ 出力 1.5.4 が “0” → “1” になると、カウンタ 2.2.7 の Q₁ 出力 1.5.7 は “0” となり、これによりカウンタ 2.3.8 はリセット状態が解除されカウントを開始する。カウンタ 2.3.8 は 5 段のもの構成で、出力 Q₂ 6, Q₃ 5, Q₄ 3 の論理で NAND ゲート 2.3.9 を介して自己リセットがかかるようになっている。

タイミング発生回路 1.6.0 の動作を第 1.2 図

2.8.5 に入力される。今、HSD = “0” 即ち、同期検出が行われていない状態であると、ビデオレベルをかけるべきタイミング情報（例えば BPF 2.8）を得ることができないため、まず同期信号部分を切出す必要がある。このため HSD 信号 2.8.0 が “1” → “0” となると、シフトレジスタ 2.8.4 で HSD 信号 2.8.0 の立ち下りを検出し、この検出信号 2.7.6（ゲート 2.7.5 の出力）で、クランプ電圧をデジタル値として配線しているラッチ 2.7.2 をリセットする。ラッチ 2.7.2 の出力 2.0 がオール “0” となると、クランプ電圧（第 3.3 図の DAC 3.1 の出力 2.2）は 0 V となり、クランプ制御系は初期状態に設定される。

一般的にビデオ信号入力が存在すると、初期設定時にかける ADC のダイナミックレンジと信号の関係は、第 4 図に 4-1 で示したようになっている。第 1.3 図において DVS 信号 1.1 である 8 ビット信号のオプティマイズをとるゲート 2.5.2 の出力は、ADC 1.0 のダイナミックレンジの LSB

特開 59-23971(9)

に示す。第 1.2 図では、CHS 信号（第 7 図の LPP 1.2.7 の出力）、H₀ 信号 1.3.9、 Φ_n 、シフトレジスタ 2.3.6 の Q₁ 出力 1.5.4、カウンタ 2.2.7 の Q₁ 出力 1.5.7、カウンタ 2.3.8 の Q₁, Q₂ … Q₈ 出力に対応させて、カウンタ 2.3.8 のカウント値と共に各段のタイミング信号を示した。これらのタイミング信号入、出力 2.8, 1.6.3, 1.6.4, 1.6.5, 1.6.6, 1.6.7, 1.6.8, 1.6.9, 1.6.7, 2.9.0, 1.6.1, 1.6.2 については後述のクランプ回路、PLL 制御回路の詳細を説明において適宜説明する。

（ビデオスナルクランプ回路）

第 1 図のビデオスナルクランプ回路 1.9 は、第 4 図 4-2 の波形で示したように到来する DVS 信号 1.1 のビデオレベルを (PUL) 3-1 “00101111” の前にクランプする回路である。

第 1.3 図にビデオスナルクランプ回路 1.9 の具体的な回路図を示す。図中 HSD 信号 2.8.0 は、H₀ 信号 1.3.9 が得られていると “1” とする同期検出状態を示す信号であり、同期検出判定回路

側へ入力信号が検出された期間のみ、つまり DVS 信号 1.1 がオール “0” となったとき “0” となる。このゲート 2.5.2 の出力は 8 段構成のシフトレジスタ 2.5.3 に導かれている。シフトレジスタ 2.5.3 の全ての出力を入力とする NOR ゲート 2.5.4 の出力 2.6.5 には、ゲート 2.5.2 の出力を LPP を通した信号に相当する信号が “1” として得られる。これらのゲート 2.5.2、シフトレジスタ 2.5.3、ゲート 2.5.4 により DVS 信号 1.1 のレベル検出回路 2.8.1 が構成される。この検出回路 2.8.1 の出力信号 2.5.5 の立ち上りタイミングを NAND ゲート 2.5.6 で検出し、RS フリップフロップ 2.5.7 をセットする。このフリップフロップ 2.5.7 の Q 出力 2.5.8 は、10 ビットのデータセクタ 2.6.9 の B 入力に導かれている。なお、データセクタ 2.6.9 の B 入力データはこの時、図示しないエンコーダにより MSB 側から “111111000” に変換されて入力されるものとする。データセクタ 2.6.9 の 10 ビット出力 2.7.0 とラッチ 2.7.2 の 1.2

特開2003-23971(10)

ビット出力273は、LSBを一致させて誤差能271で位相を収められる。その差信号がシフトレジスタ265のQ出力のタイミング(ANDゲート274の出力タイミング)で再びラッチ272に読み込まれる。

上記した動作を繰り返すことにより、クランプレベルの1/2位相179が得られるまで上昇する。1/2位相179が得られると、HS0="1"となり同期検出状態となる。HS0="1"の時、切換回路283を構成するゲータセレクタ268の出力270にはA信号262が導かれ、ペダスタルクランプモードとなる。DVS信号17は誤差増幅器250で(PDL)251"00101111"の分だけ減算される。此増幅器250の出力のサイン(sgn)ビットは、DVS信号286として後述するPLL制御回路に導かれる。また、誤差増幅器250の8ビットを含む8ビット出力はラッチ263に導かれ、第11図に示すカウンタ288からの第12図に示した4096周期であるQ31出力230でサンプリングされる。

L1φ信号169及びゲート278の出力はラッチ272のクロックを与える信号279となり、その反転出力280-1はクランプ用DAC21のゲータラッチのクロックに使用される(第1図では省略)。(PLL制御回路)

PLL制御回路287の原理的な構成例について米国特許第4241332号明細書に述べられているため、ここではPLL制御回路287についてはその具体的な回路構成及び特徴について述べる。

第14図はPLL制御回路287の概略構成を示すブロック図である。誤差検出回路300はタイミング信号であるL1φ信号162、L2R信号164、L2R信号165に制御されて、DVS信号17に関し

$$\sum_{j=1}^k (P_{4j-3} - P_{4j-1}) + \sum_{j=1}^k (P_{4j-2} - P_{4j}) \dots (1)$$

の積分演算を行う。なお、 P_{4j} のサンプリング点については第5図のカラースト波形5-1上に示す。第5図で5-3は、演算を行う期間

加算器265、ラッチ266はアナログ型の積分回路282を構成している。積分回数はラッチ266のφ入力163で決まる。第12図に示したようなカラースト期間の積分を行うため、この積分回数は12回とする。ラッチ266の出力267のうち、下位2ビットを切捨てた10ビット出力268がゲータセレクタ269のA入力に導かれる。

なお、加算器265のCφ入力は第11図に示すカウンタ288からのQ31出力241が導かれてウェーブリング信号となっており、これによりクランプの精度を向上させている。上述した12回の積分が終了すると、ラッチ266にはタイミング発生回路160からのL2R信号164のタイミングでリセットがかかる。

誤差増幅器271、ラッチ272もまた積分回路284を構成しており、誤差増幅器271の入力270がオール"0"となるように積分がくり返され、これによりペダスタルレベルが安定する。なお、タイミング発生回路160からの

(バースト期間)を示しており、本実施例に関しては $k=6$ として使用した。即ち、6バースト期間につき上記(1)式の積分演算を行うことになる。

第5図に示したようにカラーストの位相に対して目標とするサンプリング位相を0とすると、誤差信号は

$$E = \sum_{j=1}^6 (P_{4j-3} - P_{4j-1}) - \sum_{j=1}^6 (P_{4j-2} - P_{4j}) \tan \theta \dots (2)$$

となる。(2)式の演算演算を行うのが誤差演算回路302であり、その演算出力303は誤差積分回路304に導かれる。誤差積分回路304の出力305はDAC16に導かれ、これによってPLLがかかることになる。(2)式よりθの値(誤差)は $\tan \theta$ の値を可変とすることにより、任意のサンプリング位相を得ることが出来る。なお、色相のコントロールはこの $\tan \theta$ の値を可変とすることにより行う。即ち、色相コントロールゲータ発生回路305はコントロール信号49を受けると、予め定められているコントロールデュー

特開昭59-23971(11)

θに就いた $\tan \theta$ の値を選び出し、その値を示す信号 306 を誤差演算回路 302 に出力する。

一方、前記1式の積分演算結果、つまり誤差検出回路 300 の出力 301 の \sin ビットは基準サンプリング位相検出ゲート回路 314 に導かれ、ここで基準となるサンプリング位相を与える基準位相パルス 315 が生成される。この基準位相パルス 315 は逐次的に基準パルスを発生する基準パルス発生回路 314 に導かれ、基準位相、つまり NTSC の場合で 1 線、PAL の場合で U 線をそれぞれ示す ϕ_c 信号 26 が基準パルスとして得られる。なお、PAL については基準位相として U 線を得ると共に、PAL アイダント信号を必要とする。

1 ビットからなる DVCS 信号 28 はパースト検出演算回路 306 に導かれ、カラーパーストの6周期期間 ϕ_c 信号 26 でサンプリングされるとともに、そのサンプリング結果が積分される。積分結果 308 は PAL アイダント信号の安定性を得るための時定数回路（積分回路）等し

い 310 に導かれる。この時定数回路 310 の出力 311 と PID 信号 25 及びタイミング信号である L_{6R} 信号 162 により、PAL アイダント判定ゲート回路 312 で PAL アイダントが所定の関係を満たしているか否かが判定され、所定の関係にない場合は、リセット信号 313 が出力される。PAL アイダント発生回路 307 は、 $\sin \theta$ 信号 18 を入力とする 3 桁のカウンタで、そのカウンタ出力として PID 信号を得る。リセット信号 313 はこのカウンタのリセット端子に入力されている。前記基準サンプリング位相は、PAL においては U 線即ち、PID 信号 25 に従ってパースト位相に対して $\pm 45^\circ$ の位相となる。

第 15 図に PLL 制御回路 23 のより具体的な回路構成を示す。VCS 信号 1 はラッチ 320 に導かれる。ラッチ 320 のリセット信号は L_{6R} 信号 166 である。ラッチ 320 の出力 321 は誤差信号 22 に導かれる。誤差信号 22 の出力 323 はラッチ 321 に導かれ、ラッチ

324 の出力 325 はラッチ 327 に導かれる。ラッチ 327 の出力 328 は 12 ビットから成り、誤差信号 22 の一方の入力となる。この出力 328 の MSB 側から 8 ビット分の出力 330 が誤差演算回路 302 に導かれる。ラッチ 320 の 12 ビット出力 326 もまた誤差演算回路 302 に導かれる。

L_{2R} 信号 164、 L_{4R} 信号 162 は誤差演算回路 302 を制御する信号であり、(1)式で示した積分演算結果においてラッチ 324 の出力 325 に $\sum_{j=1}^6 (P_{4j} - P_{4j-2})$ の値が、ラッチ 327 の出力に $\sum_{j=1}^6 (P_{4j-1} - P_{4j-3})$ の値がそれぞれ来るようラッチ 324、327 を制御する。積分結果のデータのうちのサインビット 328、329 は基準サンプリング位相検出ゲート回路 314 に導かれる。

今、NTSC で $\theta = 33^\circ$ とする Q 軸 (Q_c 軸) が検出でき、また PAL で $\theta = \pm 45^\circ$ とすると PID 信号に制御され U 線が検出できる。

第 15 図中、AND ゲート 338 が Q_c 軸検出用

ゲートであり、AND ゲート 339、340 が U 線検出用ゲートである。各ゲート 338~340 の出力は OR ゲート 341 に導かれる。OR ゲート 341 の出力 315 は基準パルス発生回路 316 に導かれる。ソフトレジスタ 351 は基準位相検出用であり、その Q_1 出力 355 がカウンタ 356 をリセットする。カウンタ 356 の Q_{11} 出力 357 はソフトレジスタ 352 に入力され、 ϕ_c クロックで同期化されてソフトレジスタ 352 の Q_1 出力より ϕ_c 信号 26 として得られる。この ϕ_c 信号 26 の立ち上がりタイミングが Q_c 軸を示すことになる。第 16 図に L_{4R} 信号 162、 L_{6R} 信号 166、SROR 信号 167、ソフトレジスタ 354 の入力 316 かおよびその Q_1 出力 355、 Q_{11} 、カウンタ 356 の Q_{12} 出力 357、 ϕ_c かおよび第 15 図のフリップフロップ RS 51 の Q 出力の各波形を示した。

色相コントロールは 2 ビットステップとした。コントロールデータ 9 はアデータコード 223 でデコードされ、エンコーダ ROM 335 でエン

特開昭58-23971(12)

コードされる。NTSCの場合、コントロールデータ4が"00"の時 θ の値を33°(中心値)に、"01"の時 $\theta = 27^\circ$ に、"10"の時 $\theta = 37^\circ$ に、"11"の時 $\theta = 41^\circ$ に選ぶことにすると、 $\tan 33^\circ$ はsgnを含む6ビットで近似すれば $\tan 33^\circ = "010101"$ とエンコードされ、同様に $\tan 27^\circ = "010050"$ 、 $\tan 37^\circ = "011000"$ 、 $\tan 41^\circ = "011100"$ とエンコードされる。

PALの場合はPID番号26によりエンコード値が制御される。PALの時、コントロールデータ"00"は $\theta = \pm 45^\circ$ となり、エンコード出力はsgnを含む7ビットで近似しPID="1"の時、"011111"をエンコード出力として得、PID="0"(以下単に $\overline{\text{PID}}$ という)の時、"100000"を得る。コントロールデータ"01"の時 $\theta = \text{PID}$ で"011000"を、 $\overline{\text{PID}}$ で"100000"を得る。コントロールデータ"10"の時PIDで"011111"を、 $\overline{\text{PID}}$ で"111000"を得る。コントロールデータ"11"の時PIDで"011111"を $\overline{\text{PID}}$ で"110000"を得る。

れる。

これら加算器344、ラッチ351、ANDゲート347、348で誤差積分回路304を構成している。ラッチ351は13ビット構成であり、MSB側から9ビットの出力24が第1図のPLL用DAC16に導かれる。

上述したようにゲート348はオーバーフロー検出ゲートで、出力349が"1"の時ラッチ361をプリセットし、その出力をオール"1"とする。ゲート347はアンダーフロー検出ゲートで、出力350が"1"の時ラッチ351をリセットし、その出力をオール"0"とする。なお、加算器344の出力353はオーバーフローの出力を示している。

図15図中において、DVCS信号286は加算器361に導かれており、加算器361の出力362はラッチ363に導かれる。ANDゲート369はPAL時のU鎖検波位相信号250の出力し、ラッチ363にクロックとして与える。これらのゲート359、加算器361、ラッチ

このように、色相コントロールに關しては、NTSC信号及びPID信号25に於て所定のエンコード出力(エンコード336の出力)338が得られる。エンコード333の出力336は $\tan \theta$ の値を示し、誤差演算回路302に導かれる。

誤差演算回路302はラッチ324の出力326とエンコード336の出力336とを乗算する乗算器332と、この乗算器332の出力337とラッチ327の出力330とを加算する加算器331とより成る。タイミング信号(ϕ_{m0})168は乗算器332の乗算タイミングを与える。加算器331の出力343は誤差積分回路304に於ける加算器344に入力される。加算器344の他の入力は、ラッチ351の出力352である。加算器344の出力246はラッチ351に導かれている。L126信号はラッチ351のラッチタイミングを与えると共にANDゲート348、347に導かれ、オーバーフロー、アンダーフローの検出タイミングに使用さ

る。この積分回路304のsgn出力365は時定数回路310に導かれ、さらに放分される。

時定数回路310は加算器366とこの加算器366のsgn出力368およびこれ以外の8ビットの出力367をラッチするラッチ371、372を主体として構成されている。

なお、ANDゲート373、NOTゲート374は各々オーバーフロー、アンダーフロー検出用であり、検出タイミング信号は ϕ_{m0} 信号168である。ラッチ371の出力377はPALアイデント判定ゲート回路379に導かれる。今、PALアイデント発生用のカウンタ380の \overline{Q}_{11} 出力381が"1"で、ラッチ371の出力377が"1"であると、L126信号169のタイミングでカウンタ380がリセット信号813によりリセットされ、U鎖検波とPALアイデントを所定の条件に引きもどす。そしてカウンタ380の \overline{Q}_{11} 出力にPID信号25が得られる。

特開昭59-23971(13)

(水平カウントダウン回路)

第1図における水平カウントダウン回路32の詳細なブロック図を第17図に示す。水平カウントダウン回路32は4つの大きなブロック461, 462, 463, 464から構成される。過渡特性および周期性が検出された第6図の周期メモリ回路144の出力140の信号149及びタイミング信号147、判定回路151のDCK出力152から到来する水平同期信号の周波数を記憶するのが第2の水平同期メモリ回路461である。また、こうして記憶された水平同期ゲート464を入力として、到来する水平同期信号 f_{HD} と461の関係を検出し、水平標準モード検出回路463である。HMOD信号100は第1図に示したようにY-C分離回路38に導かれており、HMOD="1"の時、周知のようにY-C分離回路38はライン幅間を利用してY, C両信号の分離を行う(これはコンパルタとして周知である)。

一方、第6図のラッチパルス発生回路146からのSRQ₁ out 信号147は水平同期メモリタイミング発生回路408に導かれ、この回路408で各演のタイミング信号409, 410, 411が発生される。これらのタイミング信号409, 410, 411は第6図の判定回路151よりのDCK信号152により制御される。演算器401の出力402は差分検出ゲート回路405に輸入され、その差分値が検出される。このゲート回路405は差分値の大きさにより、時定数切換回路403及び制御信号発生ゲート回路417に制御信号403-1, 407を供給し、また差分値が零の場合は加算器412にウェーブリング信号406を与え、時定数切換回路403は上記の差分値に従ってその時定数を制御するよう動作する。時定数切換回路403の出力404は、加算器412に導かれる。加算器412の他の入力にはMSB側の11ビットから成る16ビットであり、水平同期値メモリ回路421の出力424と、水平同期補正メモリ回

一方、HMOD="0"の場合はY, C分離をライン幅間を利用して行くと、場合によっては分離が非常に悪くなる(1H遅延線路上のサンプル点がお互いに画面上ではなれている場合)ため、Y, C分離は周知の水平方向のサンプル点同士を使ったBPFにより行う。このようにHMOD信号100はY-C分離回路38の動作を切換える働きをする。

水平同期メモリ回路461の出力424は水平同期再生回路462に導かれ、この再生回路462によって水平ドライブ信号(f_{HD} out)34を出力する。HMOD信号100と到来するHMOD信号139の位相を比較し、所定の位相関係にない場合、水平同期再生回路462に信号458を出力して、位相を引込むための回路が水平位相検出回路463である。

以下、第17図の各ブロック461, 462, 463, 464をさらに詳しく説明する。

(a) 水平同期メモリ回路461

140の信号149は減算器401に導かれる。

回路422の16ビットのうちLSB側5ビットの出力423とからなる信号425である。加算器412の出力16ビットのうちMSB側11ビットは、切換回路415に導かれる。切換回路415の他の入力には標準水平同期発生回路426の出力427が導かれている。水平同期値が所定の条件を満たさない場合(例えばPower On時)、水平同期が異常であることを異常検出ゲート回路431で検出し、水平同期値プリセット回路433に検出信号432を選択する。

水平同期値プリセット回路423は信号423と共にHSD信号280が入力されることにより、制御信号発生ゲート回路417に信号434を供給する。これによりゲート回路417は水平同期値メモリ回路421にプリセットタイミング信号410を供給するとともに、切換回路415に切換信号430を供給し、切換回路415を通してメモリ回路421に信号427を与えられる標準水平同期値にプリセットする。

特開259-23971(14)

第18図に水平同期メモリ回路461の具体的な回路構成を示す。第18図において、水平同期メモリタイミング発生回路406は6段階構成のシフトレジスタ484、ANDゲート485、R8フリップフロップ493から構成されている。第23図には各タイミング信号のタイムチャートを示した。

第23図より理解できるように、ゲート485はDCK信号452が“1”の時、自己リセット信号487を出し、シフトレジスタ484のQ出力以降の出力は出ないことになる。即ち、差分出が0で±3以上の値であると同期メモリは何の動作も行わず、前の状態を保つことを示している。

演算器401の出力は8ビットが有効ビット長となっており、その8ビット信号474はデータセレクト475のB入力となる。一方、8ビットの信号474のうち、LSB側3ビットの信号478はデータセレクト475のA入力となる。さらに、信号474のMSB側6ビットの

信号472、LSB側2ビットの信号476は差分検出ゲート回路405に導かれ、前者の差分つまり演算器401の出力の大きさが検出される。差分検出ゲート回路405において、G入力ANDゲート479、G入力NORゲート480の各出力は、ORゲート482に導かれる。

ORゲート482の出力470は差分が±3以内の場合、“1”となり、±3以上の値となると“0”となる。

データセレクト475の出力404は11ビット構成となっている。例えば演算器401の出力が+2の時、A入力473には“010”が入力されており、ORゲート482の出力478は“1”となる。この時データセレクト475の出力404はMSB側から“0000000010”となる。一方、演算器401の出力が+8の時、B入力474には“00000100”が入力されており、ORゲート482の出力478は“0”となる。この時データセレクト475の出力404は“0000010000”となる。

即ち、差分(信号474)が大きいと検出する系の収束を早めるべく時定数を小さくし、差分が小さい場合は系の安定性を確保するために時定数を大きくしている。従って水平同期メモリ回路461の収束は早く、しかも一定の値まで収束すると時定数を大きくするため、水平同期メモリ値が高性能に得られる。

データセレクト475の出力404は加算器412に導かれる。加算器412の他の入力水平同期補正メモリ回路418の11ビット出力424と、5ビットよりなる水平同期補正メモリ回路422の出力514、516とより構成される16ビット信号486である。両入力404、486はLSBをそろえて加算される。

加算器412のウェーブリング入力406(加算器LSBに“1”を加算する)は、差分検出ゲート回路405が零を検出した時ANDゲート483の出力として得られるものである。16ビットからなる加算器412の出力478のうちMSB側11ビット508は、データセ

レクト475のB入力に導かれる。これに引続く3ビット507は水平同期補正メモリ回路422内のラッチ513に導かれ、またLSB側2ビットはラッチ515に導かれている。データセレクト475のA入力427には標準水平同期値が出力されている。即ち、NTSCで“1954”の値“1000011110”、PALで“1199”の値“1001010111”である。データセレクト475の出力510はラッチ512に導かれる。

第18図において水平同期値の異常を検出する異常値検出ゲート回路432は予め定められた範囲内に同期値があるかを判定するゲート回路で、NTSCでは、同期値が“1024”～“1088”内にあるかを8入力ANDゲート517で検出する。PALにおいては“1160”～“1224”内にあるかをANDゲート519-1で検出する。同期値484が所定の値でないときNORゲート523の出力528は“1”となり、ORゲート503に導かれる。ORゲート503の他の入力HSD信号280である。

シフトレジスタ503の入力502が“1”となると、ANDゲート504の出力505が“1”となり、この出力505はデータセレクト509を制御する。ANDゲート500はこのクロックを109を出力する。このANDゲート600の出力499およびシフトレジスタ184のQ₀出力490は、ORゲート497に導かれる。ORゲート497の出力498はラッチ512、513、515のクロック入力となる。ゲート504の出力505はまた、ラッチ513をリセットすると共にORゲート498を導してラッチ515をリセットする。

信号477とフリップフロップ491のQ出力492はANDゲート494、ORゲート495を導してラッチ515をリセットする。第24図に水平同期直アセット回路のタイムチャートを示す。

(b) 水平標準モード検出回路454

第19図に水平標準モード検出回路464の詳細な回路図を示す。第19図において、水平

するためのものである。検出信号550はタイミング信号であるSR12Q。信号473とともにANDゲート561に入力され、カウンタ555をリセットすると共にR8フリップフロップ555をセットする。また信号550の反転信号は、信号473とともにANDゲート552に入力され、カウンタ555の入力信号となる。R8フリップフロップ555のリセットはカウンタ555の各入、出力の論理積をとるNANDゲート556の出力557により行われる。図示したように積分回路430は、HMOD=“0”となる入力に対しては水平同期入力遅延8個の積分が成立する必要がある、この積分によりHMOD信号400の安定度を向上している。このため結果的にはY-C分離の安定性が確保される。

(c) 水平同期再生回路462

第17図において、水平同期再生回路462は基本的に、水平同期信号1₁の出力424に従って、水平同期信号を再生する水平同期カウン

特開昭59-23971(15)

標準モード検出ゲート回路428は、水平同期直メモリ回路421の出力424の値を検出し、標準モードと判断すると出力550に“1”を出力する。

第20図にNTSC、PAL各々に対する標準モードを定義した図を示す。今、 $N = \frac{4f_{sc}}{f_H}$ の値を考えると、第20図の560に示すようにNの値が“904”～“916”となる入力に対してHMOD=“1”（標準モード入力を示す）とし、それ以外をHMOD=“0”とする。560は水平同期直メモリ回路421の出力を第18図のラッチ512の出力値で示したものである。すなわち、ラッチ512の出力で見ると“1048”～“1060”がHMOD=“1”の範囲となる。562、563は同様にPALについて示した。PALの場合、ラッチ512の出力で見ると“1192”～“1208”となる入力に対してHMOD=“1”となる。

第19図においてゲート540、541、542がNTSCのHMODを検出するためのものであり、ゲート544、546、547はPALのHMODを検出

回路445を動作させ、所定の $f_{HD\ cut}$ 信号34を得るものである。

第21図に水平同期再生回路462の具体的な回路構成を示す。水平カウンタプリセット値検出回路435には第18図のラッチ512の出力424と、水平カウンタ調節エンコード回路459の出力460が導かれ、加算器570-1で加算される。エンコード回路459の出力460は水平カウンタのカウント数を制御して水平位相を引き込むためのデータであり、H₀信号189と f_{HPR} 信号18の位相が一致しているとオール“0”となる。31ビットからなる加算器570-1出力はラッチ570-2に導かれ、H₀信号に位相同期させられる。ラッチ570-2の出力436は11ビットの比較器571からなる一致検出回路437に導かれる。比較器571の他の入力は、水平カウンタ572の出力11ビットである。比較器571の一致出力438はカウンタ572のプリセット端子PTに与えられると同時に、水平ドライブパルス発

生回路 429 内のシフトレジスタ 576 に移される。シフトレジスタ 576 の \bar{Q}_1 出力 577 は RS フリップフロップ 578 をセットする。シフトレジスタ 576 の Q_1 出力 441 はカウンタ 572 にプリセットがかかったという情報を示す信号で、水平位置検出回路 463 に導かれる。

水平カウンタ 572 は $f_{H\text{out}}$ 信号 34 用のカウンタで、 ϕ_0 をクロック入力とする 11 段のカウンタにより構成されている。このカウンタ 572 のプリセットデータは NTSC の場合、カウント値にして "145" となり、PAL で "65" であり、これらはプリセットデータ発生回路 574 より与えられる。このプリセット値は、第 7 図の水平同期検出カウンタ 212 のプリセット値より 1 カウント進んだ値を使用している。そして 572 のカウント値は AND ゲート 579 を通して T_{HC} 信号 447 として取出される。

水平ドライブパルス発生回路 429 内の RS フリップフロップ 578 のリセット信号はゲ

5 ビット入力 32 出力のデコードで構成される。デコード 590 は 5 ビット入力 "00000" の時、第 1 のデコード出力 587 が "1" となる。また、"00001" の時、第 2 のデコード出力 588 が "1"。"11111" の時最終デコード出力 589 が "1" となる。デコード 590 の出力 581, 588, ..., 589 は選択ゲート回路 444 における AND ゲート 583, 584, ..., 585 の一方の入力となる。

f_{HD} 信号 440 は 62 個のインバータ列からなるタップ体の水平ドライブパルス遅延回路 442 に入力されると同時に、ゲート 583 に導かれる。遅延回路 442 の 62 個のインバータ列の総遅延は ϕ_0 の 1 周期が望ましく、今 ϕ_0 として NTSC の場合を仮定すると総遅延は 70 nsec となり、インバータ 1 段当りの遅延は約 1 nsec 程度になる。遅延回路 442 から 2 つのインバータ後に 582, 585 のように出力線が引出され、各出力が選択ゲート回路 444 における AND ゲート 583, 584, ..., 585

特開昭 59-23971(18)

ト 579, 580, 581 に与えられる。フリップフロップ 578 の出力は f_{HD} 信号 440 が得られる。 f_{HD} 信号 440 は ϕ_0 クロック単位で制御されたドライブパルスである。

第 25 図に比較器 571 の出力 445, シフトレジスタ 576 の Q_1 出力 441, f_{HD} 信号 440, 及び NTSC, PAL におけるカウンタ 572 のカウント値を示した。

第 26 図には一時的な f_{HD} 信号 440, f_{HFD} 信号 18, T_{HC} 信号 447, および NTSC, PAL におけるカウンタ 572 のカウント値の概略と位相関係を示した。同図より T_{HC} 信号 447 の立ち上りタイミングである 832 カウントは、 f_{HFD} 信号 18 の 1 周期の概略中間に位置していることが理解できる。

第 18 図の水平同期補正メモリ回路 422 の 5 ビット出力 (MSB 側 3 ビット 514, LSB 側 2 ビット 515) はデコード回路 448 に導かれる。

第 21 図においてデコード回路 448, 590 は

の一方の入力に与えられる。AND ゲート 583, 584, ..., 585 の計 32 ビットの出力は OR ゲート 586 に与られ、OR ゲート 586 の出力は f_{HDout} 信号 34 が得られる。

このように、水平同期補正メモリ回路 422 の出力に従って f_{HD} 信号 440 を遅延させた出力を選択し、 f_{HDout} 信号 34 を得ている。この結果、 f_{HDout} 信号 34 は ϕ_0 クロック単位よりさらに高解像度な分解能が得られることとなる。

第 29 図は、この効果を TV 画面上の具体的なパターンに対応させて説明するための図である。第 29 図(a)は本来画面上に映されるべき縦線を示す。同図(b)は上記水平同期補正を行わないで ϕ_0 単位に f_{HDout} 信号 34 が出力される場合の縦線の表示例を示したものである。

$\phi_0 \approx N \cdot f_H$ (即ち ϕ_0 と f_H の関係が整数倍の関係にない場合、例えば PAL の縦線信号がそうである) の時、本来表示されるべき縦線 (図中破線) 29-a は実際で示したように表示され、29-b,

29-2, 29-3の点で示したように ϕ_a 周期の怪のギヤを生じる。 ϕ_a 周期はPALで約55nsocであるため、このギヤは肉眼で感知されてしまう。このギヤを画面上で肉眼の検知限以下にしなければ高品位テレビジョン受像機としては十分でない。

本実施例では、このギヤを十分検知限以下に抑えて行くため、上述したように第18図における水平同期補正メモリ回路412の出力614, 616により第21図における f_{HFB} 信号410の遅延量を制御することにより、水平同期再生の分解能を ϕ_a 単位以下にまで向上させている。この結果、第29図(a)に示すようにギヤ成分は図4(a)に示すものより理論的には1/32に減少し、実用上全く問題とはならなくなる。

(d) 水平位相検出回路463

第17図において、水平位相検出回路463は、到来する水平同期信号（更なる信号としてはH₀信号139）と、 f_{HFB} 信号18の位相関係を検出し、検出された位相情報に従って水平

比較パルス発生回路454は到来するH₀信号139に対する f_{HFB} 信号18の各種タイミング信号（比較パルス）を発生する。比較パルスはTP1, TP2...TP6の6種類あり、図示したようにゲート606, 607, 608, 609, 610, 611およびR6フリップフロップ612, 619, 620, 621, 622より作られる。ゲート611の出力612がTP1であり、フリップフロップ619の出力624がTP2、フリップフロップ618の出力623がTP3、フリップフロップ620の出力626がTP4、フリップフロップ622の出力628がTP5、フリップフロップ621の出力627がTP6である。

第27図に位相が引込まれた状態の f_{HFB} 信号18、カウンタプリセットタイミング604（CTR9PT）、H₀信号139、TP1, TP2, TP3, TP5, TP6の各タイムチャートをカウンタ611のカウント値とともに示した。第27図中カウンタ（CTR9）611のカウント値“104”～“108”は f_{HFB} 信号18のパルス“1”の

特開昭59-23371(17)

同期再生回路462を制御し、結果的にH₀信号139と f_{HFB} 信号18とを所定の位相関係にするべく位相引込みを行行ための回路である。この場合、位相の引込みは連続的に、しかも引込み時間は早く行うよう構成されている。

第22図に水平位相検出回路463の具体的な回路構成を示す。第22図において f_{HFB} 信号18は f_{HFB} 検出回路450のシフトレジスタ600に導かれ、NANDゲート601でその立ち上りが検出される。 f_{HFB} 信号18の立ち上りが検出されると、その検出信号181により f_{HFB} タイミング発生カウンタ回路465内のR6フリップフロップ603をセットする。フリップフロップ603のQ出力604は8ビット構成のカウンタ641のプリセット端子に入力される。カウンタ641のプリセット値はNTSCの場合“20”カウント、PALの場合“0”カウントとなっており、以下の比較パルスをNTSC, PAL共用としている。カウンタ641の出力605は比較パルス発生回路454に導かれる。

同期の検出中間の値を取ったものであり、この位置にH₀信号139が引込まれることになる。

比較パルスTP1, TP2は図示したように引込み位置の両側に位置するパルスで、水平位相が少しずれていることを検知するパルスである。TP3, TP4は f_{HFB} 信号パルス“1”の中にある図示したように比較パルスで、引込み位置から約クロック ϕ_a で60細線度ずれていることを検知するパルスである。TP5, TP6は例えばTVのチャンネル切換等により f_{HFB} 信号18とH₀信号139の位相が大きくずれていることを検知するパルスであり、互いにT_{H0}信号（第22図447）のタイミングで切換えられる。

第22図において、比較パルスTP1 623, TP2 624, TP2 625, TP3 623, TP4 626, TP5 622, TP6 627は位相比較回路459に導かれ、H₀信号139との位相比較、検出が行われる。TP3 623, TP4 626, TP5 622, TP6 627は4ビットから成るラッチ628に導かれ

特開昭59-23971(19)

る。ラッチ629のクロックにはH₀信号139が供給されている。

ラッチ629の出力には、例えばTP3が“1”の時H₀信号139が入力される(TP8内にH₀が存在する状態)とPI-8信号594が“1”となる。このように比較パルスTP3, TP4, TP5, TP6内にH₀信号139が到来すると比較パルス入力に従ったラッチ629の出力が“1”となる。各比較パルスに対応するラッチ629の出力をPI+8信号594, PI+8信号593, PI+32信号591, PI-32信号592とする。これらの信号のサフィックス-8, +8, +32, -32は対応するラッチ出力が“1”の時の、第21図の水平同期カウンタ572のカウント値の制御値を示している。例えばPI+32信号591は水平同期カウンタ572のプリセットダインプを32カウント分遅らすことにより位相相引込みを行うための信号となる。第22図において、ラッチ629のリセット端子には第21のフリップフロップ576

からのSR13Q₁信号441が入力されており、水平同期カウンタ572にプリセットがかかる毎にラッチ629はクリアされる。所定の位相に近い比較パルスTP1, TP2, TP2624は引込みの安定性を確保するため、TP3, TP4, TP5, TP6の場合とは別取扱われる。TP1パルス612はH₀信号139とともにANDゲート630に入力され、ゲート630の出力は2段増設のカウンタ632に導かれる。カウンタ632のリセット端子R^{*}にはTP1・H₀の論理出力が供給されている。ゲート630を通してフリップフロップ634をセットし、SR13Q₁信号441でリセットすると、PI-2信号596が得られる。即ち、H₀信号139がTP1信号412の半に遅延して4回存在すると、制御信号PI-2が得られる。TP2信号624についても全く同様に、フリップフロップ634の出力からPI+2信号595が得られる。

第21図において位相比較回路457の出力PI-2信号596、PI+2信号595、PI-8

信号594、PI+8信号593、PI-32信号592、PI+32信号591は水平同期制御エンコーダ回路458に導かれる。このエンコーダ回路458は図示の如く例えばPI+32信号591が“1”の時、+32の値を示す“010000”を出力し、PI-32信号592が“1”の時、出力460に-32の値を示す“110000”を出力する。そしてエンコーダ458の出力460は、水平同期プリセット値演算回路435内の加算器570に導かれる。

(垂直カウントダウン回路)

第1図における垂直カウントダウン回路35は第28図に示したように、垂直再生回路36-1とH₀信号139が検出されているか否かを判定する同期値立判定回路36-2とより構成される。垂直再生回路36-1については、公知文献：特開昭55-159673号公報「垂直同期回路」において基本的な回路例が詳細に述べられているので参照されたい。本発明の実施例における垂直再生回路36-1は上記公知文献の一部

を変更すればよい。この変更部分につき述べると、第28図におけるカウンタ651, 13, 652は上記公知文献の第4図中の10, 12に相当する142段増設のカウンタである。本実施例においては456信号650をカウンタ651の入力クロックとし、カウンタ651のQ₄出力652をカウンタ653の入力とし、カウンタ653から2¹⁰の信号を得る。また、カウンタ651のリセット入力はSR13Q₁信号441となり、カウンタ653のリセット入力はSR13Q₁信号+ Reset 1 (上記公知文献の第4図参照)となる。また、上記公知文献における65の代りにCSV信号126を使用すればよい。第28図のfed out 信号37が垂直ドライブ信号である。fed out 信号37は、カウンタ660に導かれる。カウンタ660のリセット入力はH₀信号139となっている。H₀フリップフロップ662は同期値立の判定状態を記憶するもので、H₀信号662でセットされ、NANDゲート661の出力でリセットされる。即ち、fed out

信号1周期のうちHs信号130が1個以上出力されると、同期が確立していると判定され、フリップフロップ663のQ出力が“1”となる。このQ出力はシフトレジスタ665でHs信号に同期され、シフトレジスタ666の出力からHSD信号180が得られる。即ち、同期が確立しているとHSD=“1”となる。実際には、フリップフロップ663のQ出力は図示したように $RS18Q + f_{vdout} \cdot Q141$ のようにORを取られ、信号664としてシフトレジスタ665に送られる。信号664はHSDの2番直間隔に1回の割合で前記クランプ回路18を初期状態とするための信号となる。

4. 図面の簡単な説明

図は本発明の一実施例を説明するためのもので、第1図はデジタルTV受像機の要部のブロック図、第2図は同実施例中に示す回路の表記方法を説明するための図、第3図および第4図は同実施例の動作を説明するためのADCのダイナミックレンジおよびビデオ信号波形状、第5

特開昭59- 23971(19)

図はPLL回路の原理を説明するためのバースト波形状、第6図は同期検出・タイミング発生回路のブロック図、第7図は同期分離回路および水平同期幅検出回路の具体的回路図、第8図～第10図は第7図の動作を示すタイムチャート、第11図はバーストフラッグ・PLL・クランプ用タイミング発生回路の具体的回路図、第12図は第11図の動作を示すタイムチャート、第13図はサドルクランプ回路の具体的回路図、第14図はPLL制御回路のブロック図、第15図はPLL制御回路の具体的回路図、第16図は第15図の動作を示すタイムチャート、第17図は水平カウンタダウン回路のブロック図、第18図は水平同期メモリ回路の具体的回路図、第19図は水平線逆モード検出回路の具体的回路図、第20図は第19図の動作を説明するための図、第21図は水平同期発生回路の具体的回路図、第22図は水平位相検出回路の具体的回路図、第23図および第24図は第18図の動作を示すタイムチャート、第25図および第

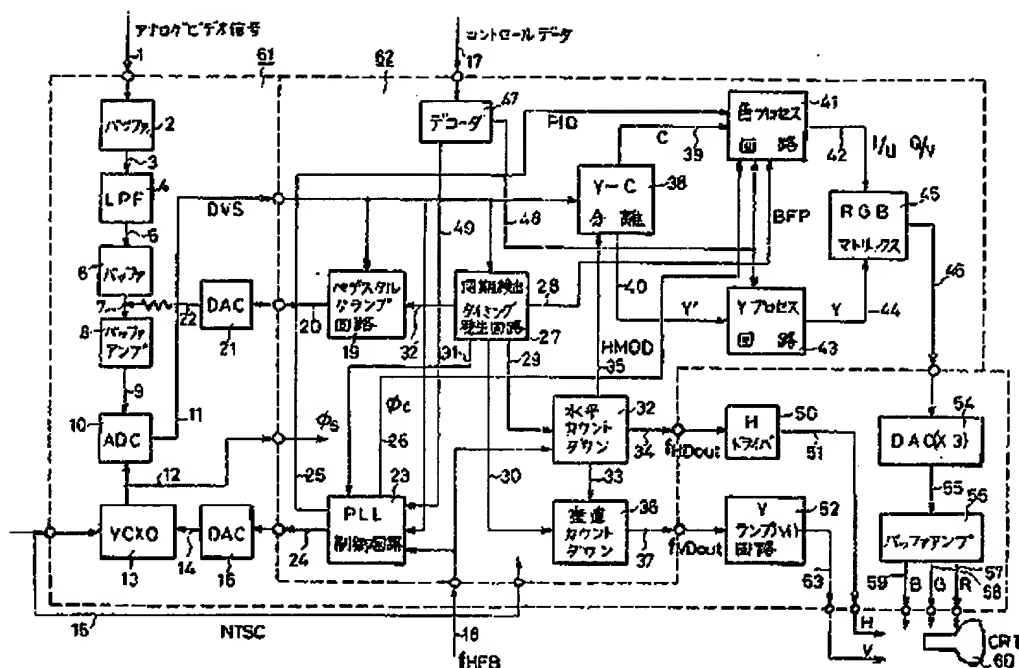
26図は第21図の動作を示すタイムチャート、第27図は第22図の動作を示すタイムチャート、第28図は線逆カウンタダウン回路の回路図、第29図は第21図の動作を説明するための図である。

11(DVS) …デジタルビデオ信号、18(f_{HBN}) …水平フライバック信号、27 …同期検出・タイミング発生回路、28 …水平カウンタダウン回路、34(f_{hdout}) …水平ドライブ信号、39(Hs) …水平同期検出信号、44 …第1の水平同期メモリ回路、52 …判定回路、52(DCK) …判定信号、61 …第2の水平同期メモリ回路、62 …水平位相検出回路、62 …水平同期再生回路。

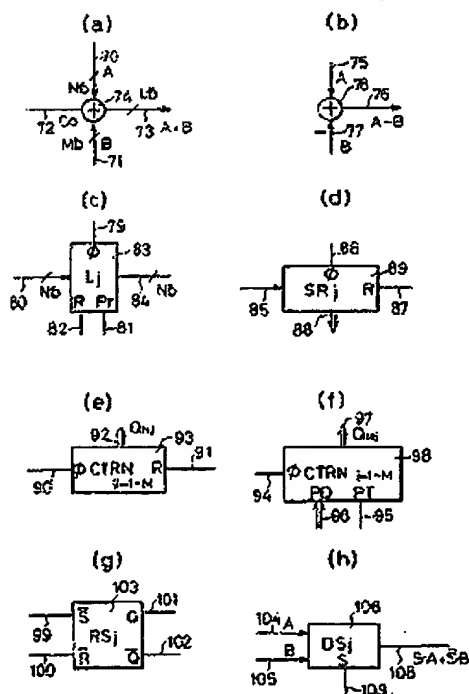
出願人代理人 弁護士 鈴 江 欣 彦

特開59-23971(20)

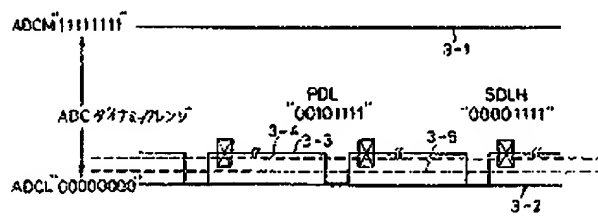
第 1 図



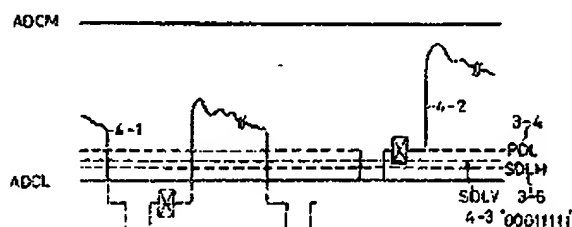
第 2 図



第 3 図

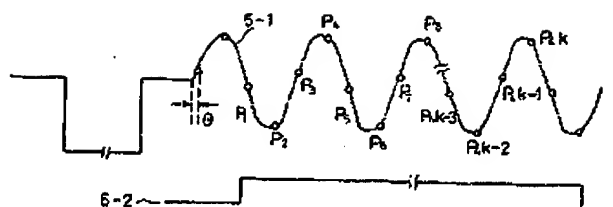


第 4 図

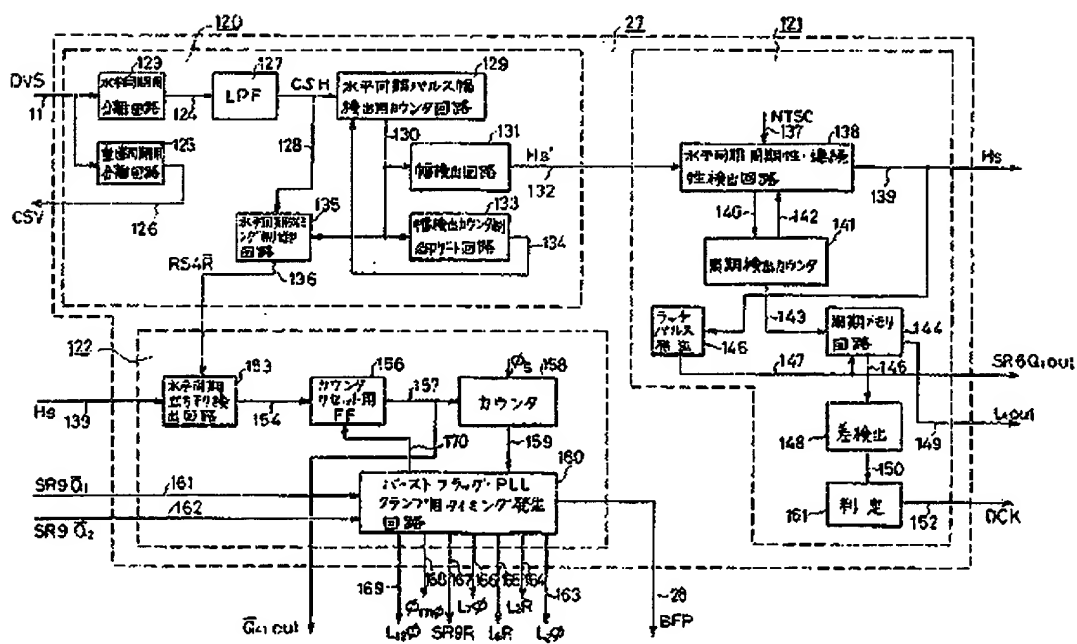


特開昭59- 23971(21)

第 5 図

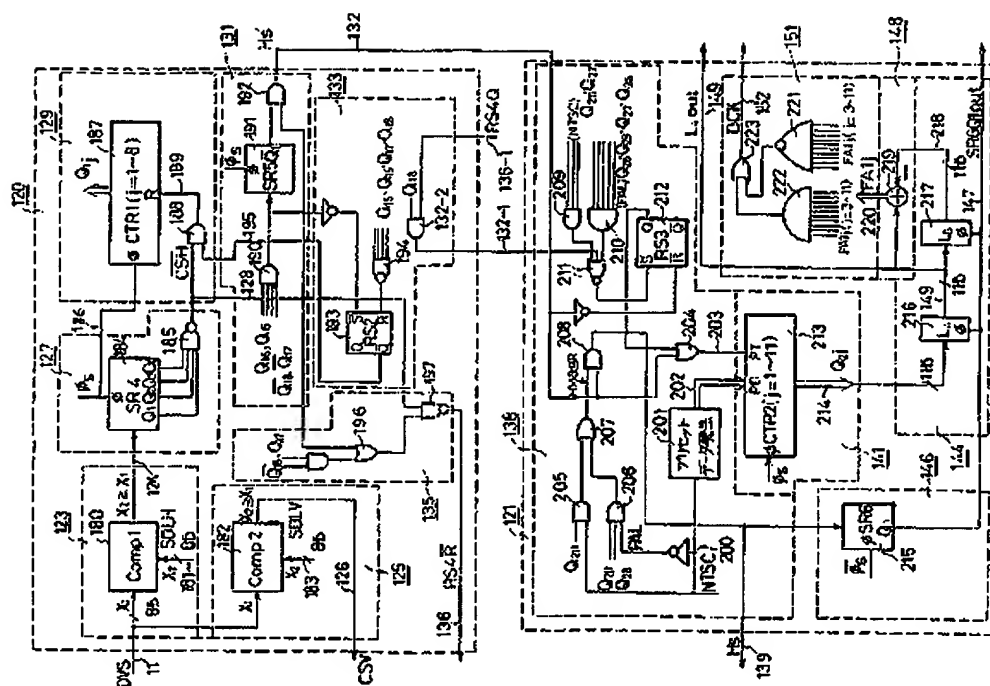


第 6 図

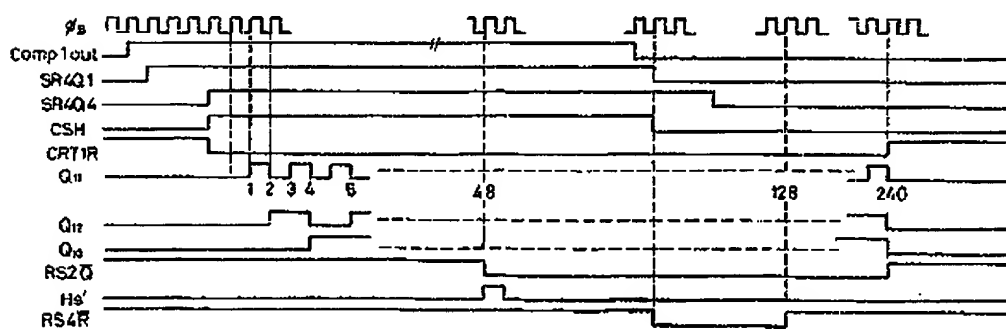


特開昭59-23971(22)

第 7 図

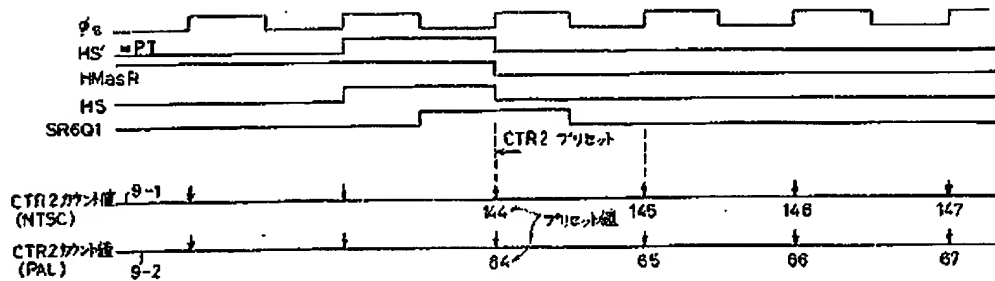


第 8 図

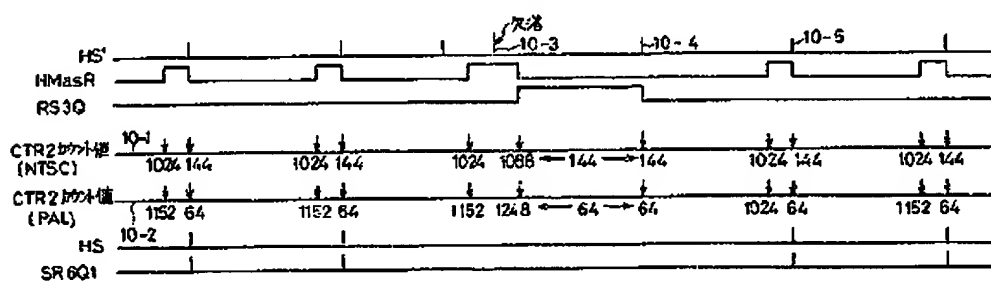


特開昭59- 23371(23)

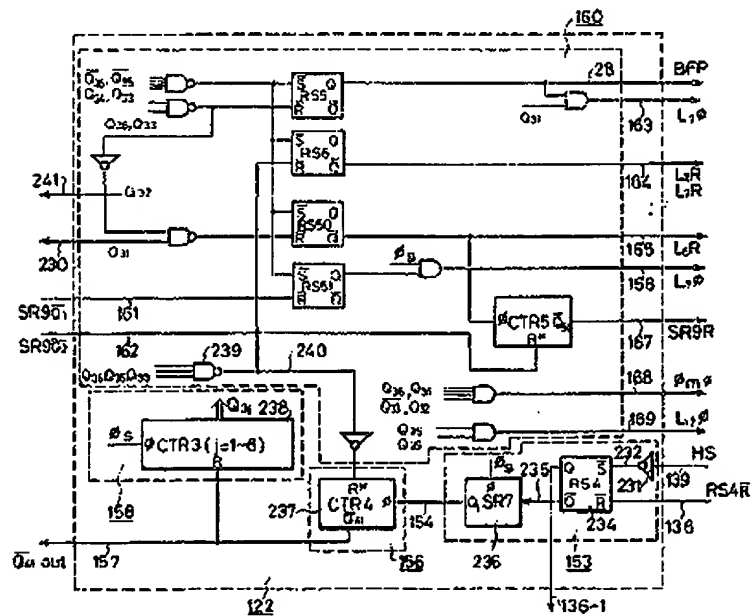
第 9 図



第 10 図

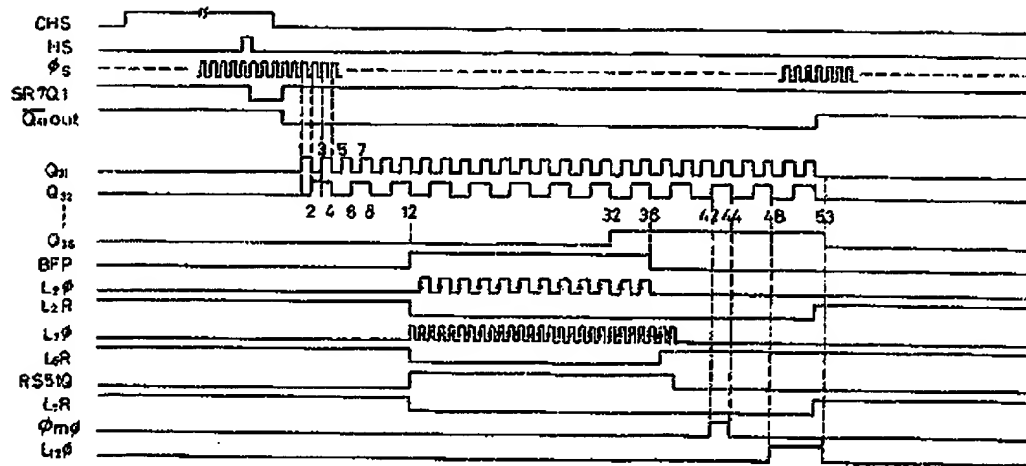


第 11 図

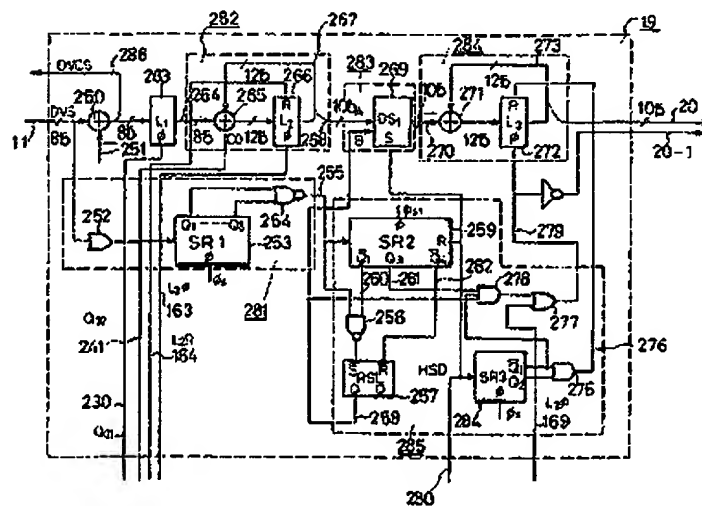


特開昭59- 23371(24)

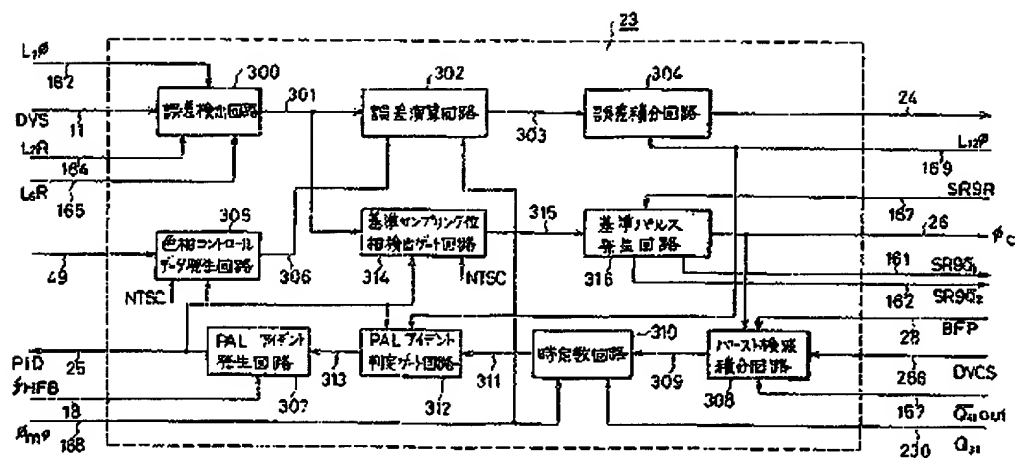
第 12 図



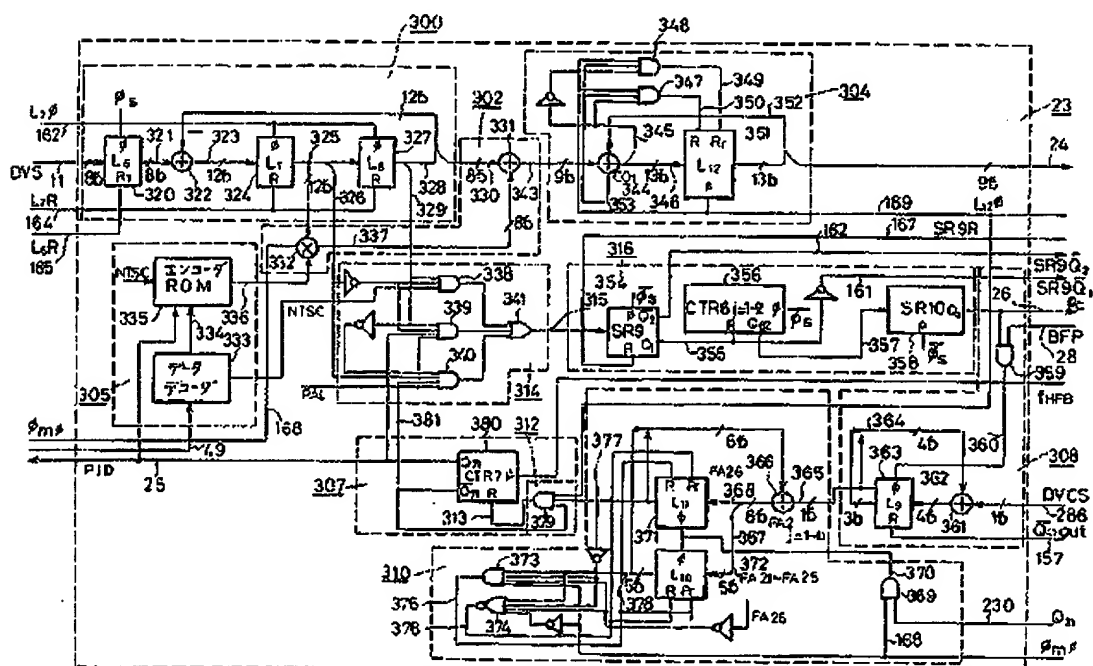
第 13 図



第 14 题

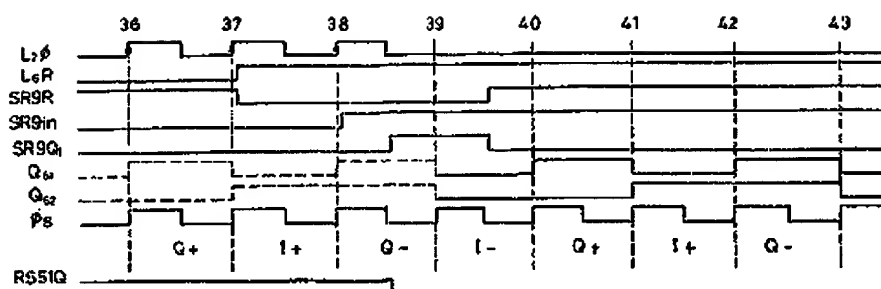


蛇 15 图

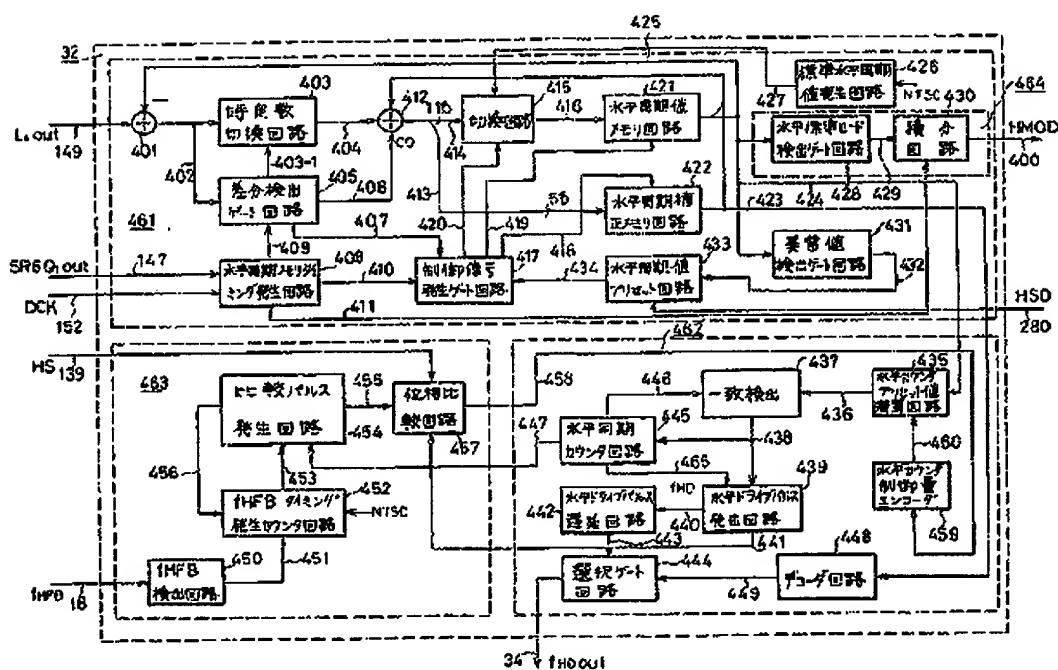


特開昭59-23971(26)

第 16 図

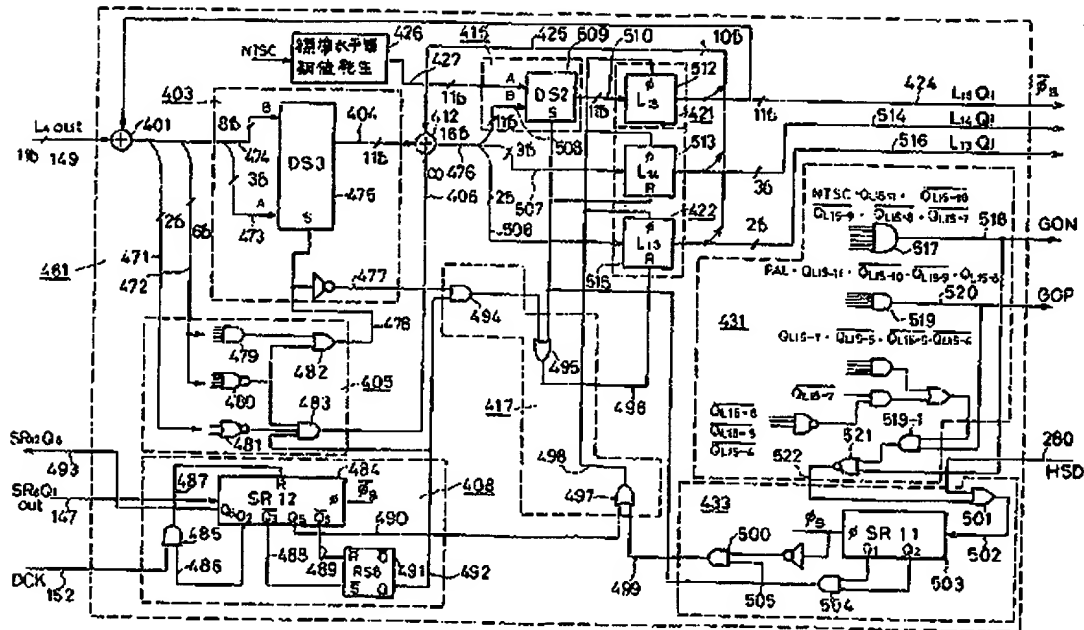


第 17 図

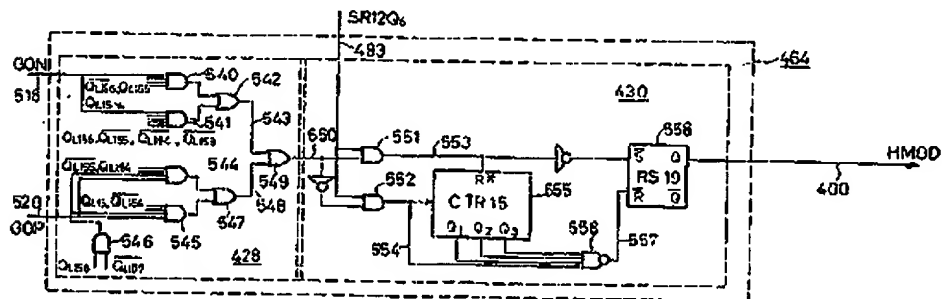


特開昭59-23971(2)

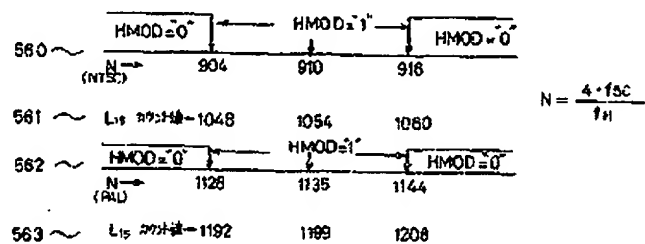
第 18 図



第 19 図

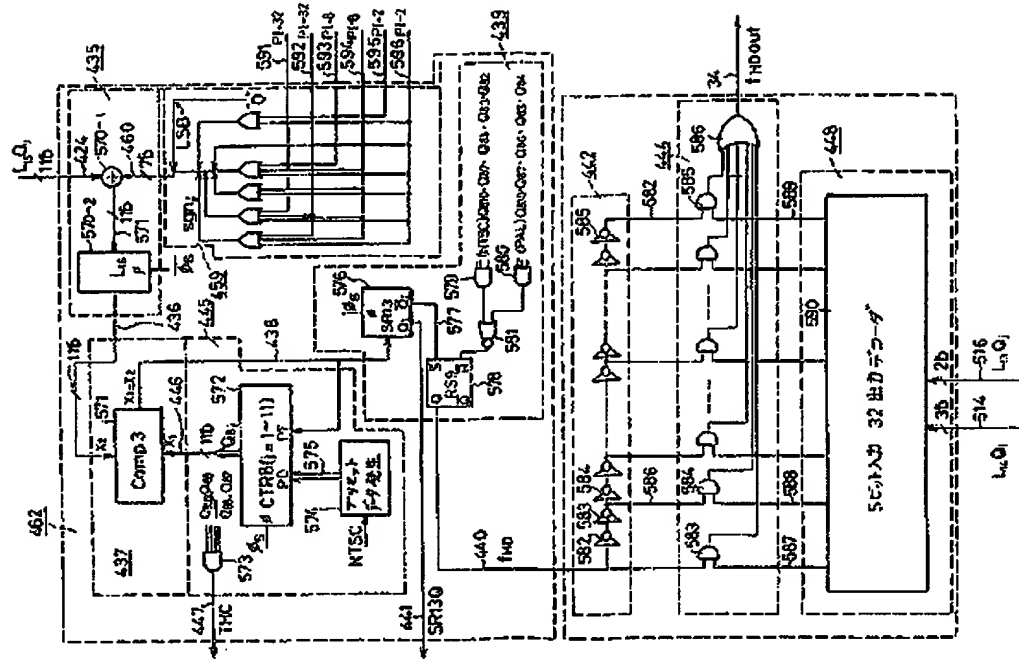


第 20 図

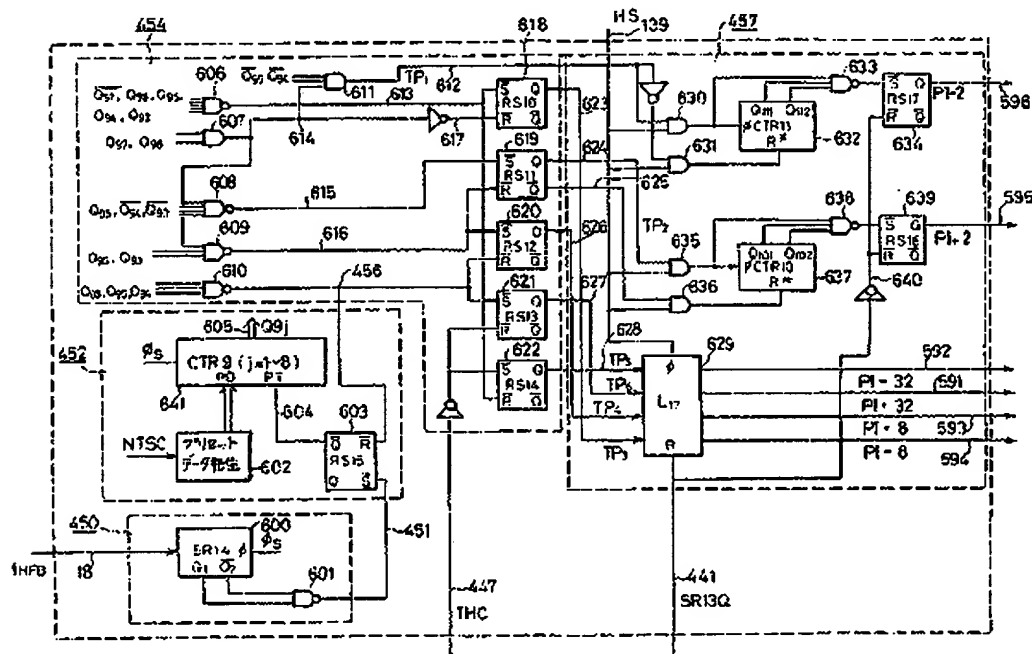


特開昭59-23971(28)

第 21 図

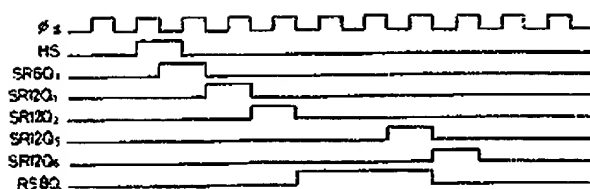


第 22 図



特開昭59-23971(29)

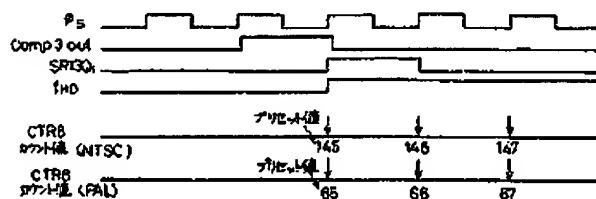
第 23 図



第 24 図



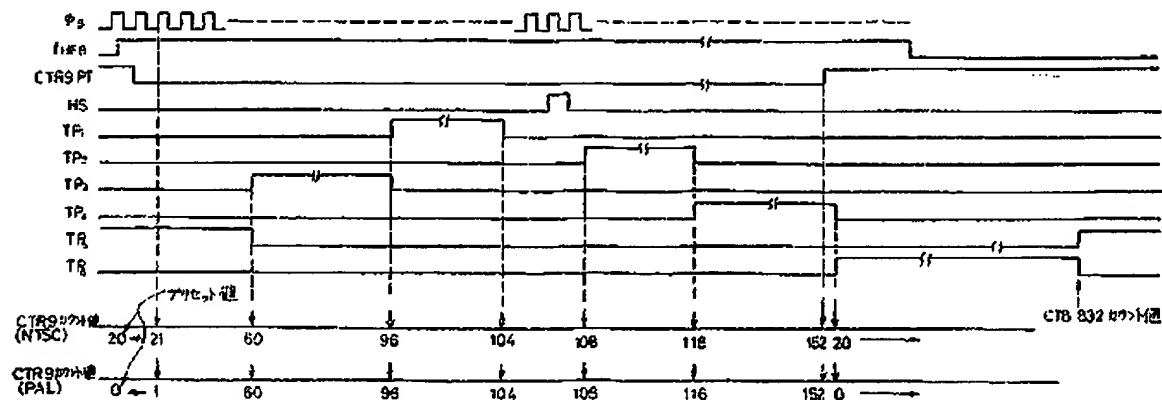
第 25 図



第 26 図

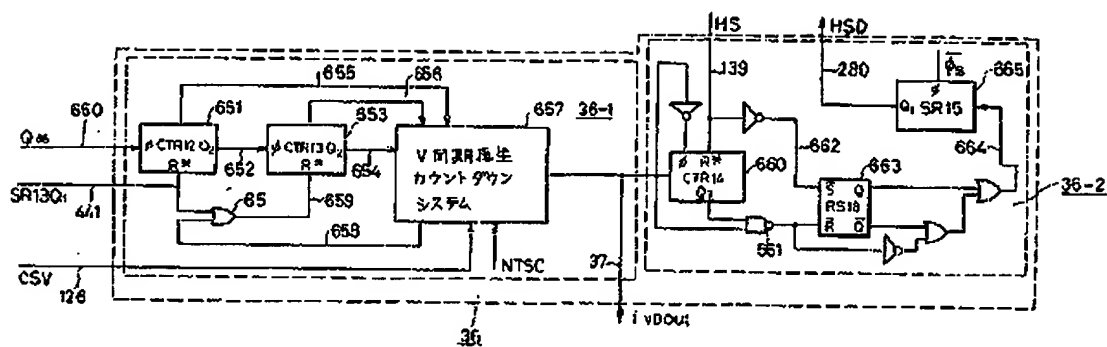


第 27 図



特開昭59-23971(30)

第 28 図



第 29 図

